

QX320F280049C数字信号控制器

数据手册

合肥乾芯科技有限公司

历史版本记录

版本号	修订日期	修订内容
1.0	2024.02.04	初稿

目 录

1 特性 8
2 应用 9
3 说明 10
3.1 功能方框图 11
3.2 器件特性 12
3.3 产品编码 13
4 终端配置与功能 14
4.1 引脚图 14
4.2 引脚说明 15
4.3 信号描述 15
4.3.1 模拟信号 33
4.3.2 数字信号 38
4.3.3 电源与接地 46
4.3.4 测试,JTAG 与复位 47
4.4 GPIO 48
4.4.1 GPIO 复用引脚表 48
4.4.2 ADC 引脚上的数字输入（AIO） 52
4.4.3 GPIO 输入 X-BAR 52
4.4.4 GPIO 输出 X-BAR 和 ePWM X-BAR 53
4.5 GPIO 引脚内部上拉/下拉 55
4.6 未使用引脚的连接 56
5 规格 57
5.1 绝对最大值范围 57
5.2 产品 ESD 范围 57
5.3 推荐工作条件 57
5.4 耗电概述 57
5.4.1 系统电流消耗（外部电源） 57
5.4.2 工作模式测试描述 57

5.4.4 减少电流消耗 57
5.5 电气特性 57
5.6 热阻特征 57
5.6.1 PK 封装的热阻特性 57
5.6.2 PZ 封装的热阻特性 57
5.6.3 PM 封装的热阻特性 57
5.6.4 RSH 封装的热阻特性 57
5.7 散热设计注意事项 58
5.8 模拟外设 59
5.8.1 模数转换器（ADC） 65
5.8.1.1 结果寄存器映射 68
5.8.1.2 ADC 配置 68
5.8.1.3 ADC 电气数据与时序 68
5.8.1.3.1 ADC工作条件 68
5.8.1.3.2 ADC 特性 70
5.8.1.3.3 ADC 时序框图 71
5.8.2 可编程增益放大器(PGA) 73
5.8.2.1 PGA电气数据和时序 74
5.8.3 温度传感器 78
5.8.3.1 温度传感器电气数据和时序 78
5.8.4 缓冲数模转换器(DAC) 79
5.8.4.1 缓冲 DAC 电气数据和时序 79
5.8.5 比较器子系统(CMPSS) 83
5.8.5.1 CMPSS 电气数据和时序 84
5.9 控制外设 88
5.9.1 增强型捕获(eCAP) 88
5.9.1.1 eCAP电气数据和时序 90
5.9.2 高分辨率捕捉子模块(HRCAP6–HRCAP7) 91
5.9.2.1 HRCAP 电气数据和时序 93
5.9.3 增强脉冲宽度调制(ePWM) 95

5.9.3.1 控制外设同步 98
5.9.3.2 ePWM电气数据和时序 98
5.9.3.3 外部ADC转换脉冲开始的电气数据和时序 100
5.9.4 高分辨率脉冲宽度调制器(HRPWM) 101
5.9.4.1 HRPWM 电气数据和时序 101
5.9.5 增强型正交编码器脉冲(eQEP) 102
5.9.5.1 eQEP电气数据和时序 103
5.9.6 Σ-Δ滤波器模块(SDFM) 104
5.9.6.2 SDFM电气数据和时序（同步GPIO） 108
5.10 通信外设 110
5.10.1 控制局域网络(CAN) 110
5.10.2 内置集成电路(I2C) 112
5.10.2.1 I2C电气数据和时序 115
5.10.3 电源管理总线(PMBus) 接口 117
5.10.4 串行通信接口(SCI) 120
5.10.5 串行外设接口(SPI) 122
5.10.5.1 SPI 主模式时序 124
5.10.6 SPI从模式时序 128
5.10.7 本地互联网络(LIN) 129
5.10.8 快速串行接口(FSI) 131
5.10.8.1 FSI 发送器 132
5.10.8.2 FSI 接收器 134
5.10.8.3 FSIRX电气特性和时序 136
5.10.8.4 FSI SPI 兼容模式 136
6 详细描述 139
6.1 概述 139
6.2 功能框图 140
6.3 内存 141
6.3.1 内存映射 141
6.3.2 Flash 内存映射 145

6.3.2.1 Flash 扇区地址 145
6.3.3.2 外设寄存器内存映射 146
6.3.3 存储器类型 150
6.3.3.1 CPU共享数据 RAM (GSDx RAM) 150
6.3.3.2 IPC共享 RAM (IPC CPUx_RAM) 150
6.3.3.3 CPU共享指令RAM (GSIx RAM) 150
6.3.3.4 CPU共享指令RAM (BOOT RAM) 150
6.4 总线架构-外设连接 150
6.6 C28x 处理器 152
6.6.1 介绍 152
6.6.2 特点 152
6.6.3 浮点单元(FPU) 152
6.6.4 三角数学单元(TMU) 152
6.6.5 Viterbi、复数和循环冗余校验单元（VCU） 153
6.6.5.1 Viterbi运算 153
6.6.5.2 循环冗余校验（CRC） 153
6.6.5.3 复数运算 154
6.6.6 增强型整数除法单元（EINTDIV） 154
6.7 直接内存访问(DMA) 155
6.8 设备 Boot 模式 157
6.8.1 设备启动配置 158
6.8.1.1 配置启动模式表选项 160
6.9 双码安全模块 162
6.10 看门狗 163
6.11 C28x 计时器 163
6.12 双时钟比较器 (DCC) 164
6.12.1 特点 164
6.12.2 DCCx(DCC0 and DCC1) 时钟源输入映射 164
7 开发支持 165
7.1 集成开发环境QX-IDE 165

7.2 仿真器 166
7.2.1 简介 166
7.2.2 结构 166
7.2.2.1 宿主机 166
7.2.2.2 目标机 167
7.2.2.3 接口卡 167
8 封装外形尺寸 169
8.1 LQFP100PIN 169
8.2 VQFN56 PIN 170
9 订货信息 171
9.1 封装信息 171
9.2 托盘信息 171
9.3 包装盒尺寸 171
9.4 封装概览 171
关于乾芯科技 172

1 特性

- 32 位 CPU 双核
  - 150MHz
  - 双核可独立/协作运行
- 主核核支持三个CPU Timer
  - IEEE 754 单精度浮点单元(FPU)
  - 维特比，复数和CRC计算单元(VCU)
  - 三角数学单元(TMU)
    - 支持常见的三角函数的硬件加速
- 片上存储器
  - 1MB FLASH
  - 512KB SRAM
    - 256K的指令RAM
    - 256K的数据RAM
- 时钟和控制
  - 支持片上晶振振荡器和外部时钟输入
    - 片上 10MHz 振荡器
    - 片上 40kHz 振荡器
  - 看门狗计时器模块
  - 丢失时钟检测电路
- 电源电压: 1.2V 内核、3.3V I/O
  - 可生成 1.2V 电压的内部 VREG
  - 欠压复位(BOR)电路
- 系统外设
  - 多通道直接存储器存取(DMA)控制器
  - 40个独立可编程多路复用通用输入/输出 (GPIO)引脚
  - 嵌入式实时分析和诊断(ERAD)
- 温度

  -40℃至125℃结温
- 通信外设
  - 1个电源管理总线(PMBus)接口
  - 1个内部集成电路(I2C)接口
  - 2个控制器局域网(CAN FD)兼容CAN2.0总线端口
  - 2个串行外设接口(SPI)端口
  - 2个串行通信接口 (SCI)
  - 1个本地互联网络 (LIN)
  - 1个带发送器和接收器的快速串行接口(FSI)
- 模拟系统
  - 3个3 MSPS 12位模数转换器(ADC)
    - 16个外部通道
  - 2个12位数模转换器(DAC)
  - 7个带数模转换器(10bit DAC)的窗口比较器(CMPSS)
    - 数字干扰滤波器
  - 7个可编程增益放大器 (PGA)
    - 可编程增益设置
    - 可编程输出滤波
- 增强型控制外设(兼容TI的280049C)
  - 24个具有增强特性ePWM通道
    - 16个高分辨率(150ps)HRPWM通道
    - 具有硬件跳闸区域(TZ)
  - 7个增强型捕捉(eCAP)模块
    - 2个HRCAP
  - 2个CW/CCW运行模式的增强型正交编码器脉冲(eQEP)模块
  - Σ-Δ滤波器模块(SDFM)输入通道
- QXFast-FOC
  - 无传感器的磁场定向控制(FOC)
- 封装
  - 100引脚 Low-profile Quad Flatpack (LQFP)
  - 56 引脚 VQFN

2 应用

- 交流充电桩
- 直流充电桩
- 电动汽车充电站电源模块
- 车辆无线充电模块
- 能量存储电源转换系统（PCS）
- 中央逆变器
- 太阳能电源优化器
- 串式逆变器
- 直流/交流转换器
- 逆变器和电机控制
- 伺服驱动器控制模块
- 交流BLDC电机驱动器
- 直流BLDC电机驱动器
- 工业交流/直流电源
- 三相UPS
- 商用网络和服务器PSU
- 商用通信电源整流器

3 说明

QX320F280049C是一款对标TI公司的TMS320f28004x系列的32位处理器。主要针对实时控制应用（如工业电机驱动、光伏逆变器和数字电源、电动汽车的电机控制以及空调变频等）。

QX320F280049C拥有对标TI C28x的自主研发的32位CPU内核，可提供150MHz的处理能力。QX320F280049C内部同样集成了FPU，TMU和VCU扩展指令集，FPU可以提供32位浮点加速指令，TMU可快速执行包含变换和扭矩环路计算中常见三角运算的算法，VCU扩展指令集能够降低编码应用中常见复杂数学运算的延迟。

QX320F280049C采用双核架构，CPU0和CPU1可独立并行运行，也可以相互通信。每个核都具有其独立的存储资源，都可以独立访问典型控制系统中所需的主要外设。双核之间可以通过中断，特殊寄存器和共享内存三种方式通信。

QX320F280049C还集成了高性能模拟外设和增强型控制外设，三个独立的12位采样率为3MSPS的常规ADC可准确、高效地管理多个模拟信号，从而最终提高系统吞吐量。模拟前端上的七个PGA可以在转换之前实现片上电压调节。七个模拟比较器模块可以针对跳闸情况对输入电压电平进行持续监控。先进的控制外设(具有独立于频率的 ePWM/HRPWM 和 eCAP)，可对系统进行出色的控制。内置的 4 通道 SDFM 允许在隔离层上无缝集成过采样 Σ-Δ 调制器。

通过各种业界通用通信端口（如 SPI、SCI、I2C、LIN 和 CAN2.0，CAN FD）支持连接，并且提供了多个多路复用选项，可在各种应用中实现出色的信号布局。QX320F280049C同时支持PMBus和FSI。

嵌入式实时分析和诊断 (ERAD) 模块通过提供用于分析的附加硬件断点和计数器来增强器件的调试和系统分析功能。

QX320F280049C支持高达 256KB 指令内存+256KB的数据RAM+1M flash，能够适应大部分嵌入场景。8KB的bootloader 指令RAM，灵活配置启动过程。

3.1 功能方框图

功能方框图展示了CPU 系统及关联的外设。

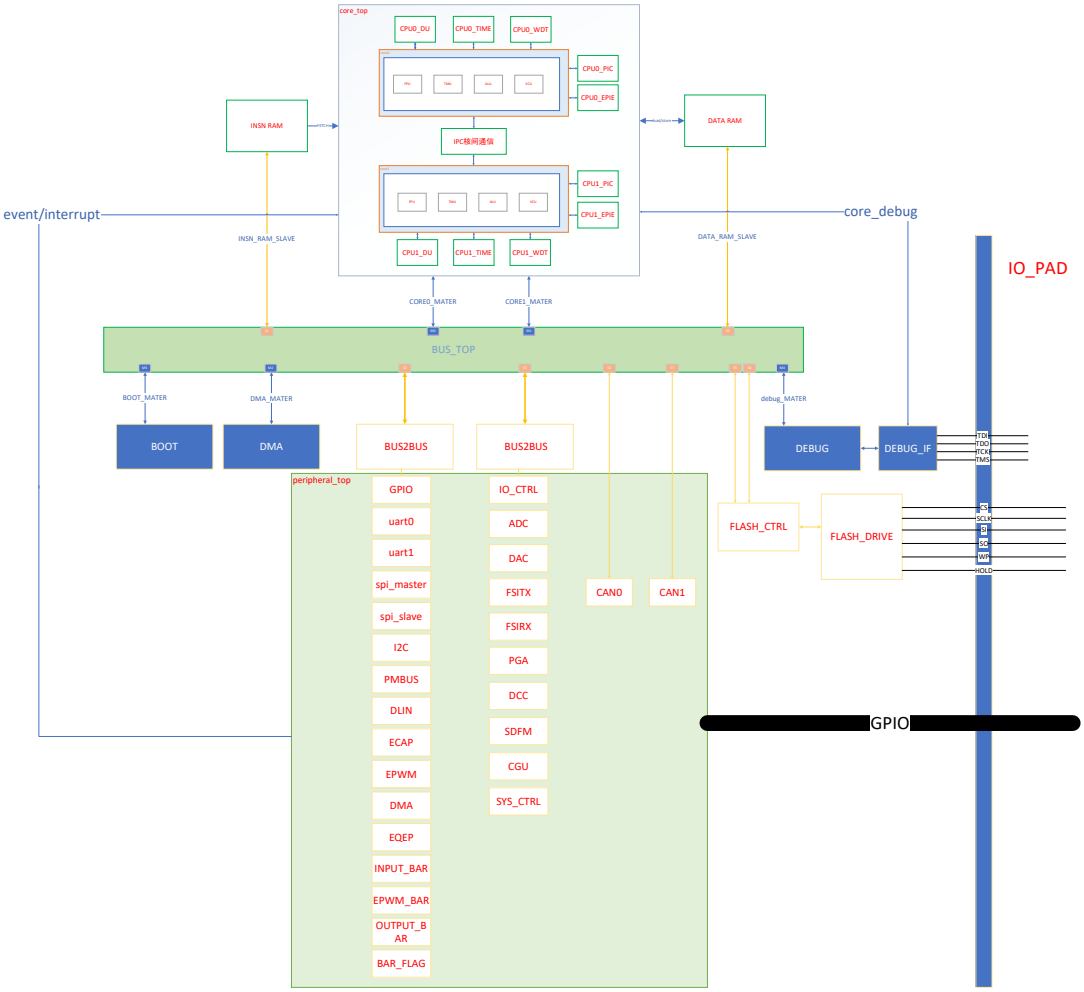


图 3-1 功能框图

3.2 器件特性

表3-1. QX320F28004x 器件特性

功能		QX320F280049C	QX320F280049Plus
时钟主频		150 MHz	300 MHz
内核数		双核	双核
IEEE754单精度浮点单元（FPU）		支持	支持
三角函数加速器（TMU）		支持	支持
复杂数学单元（VCU-I）		支持	132K
指令存储IRAM		双核共享256KB	双核共享256KB
数据存储DRAM		双核共享256KB	双核共享256KB
片上FLASH		1MB	1MB
高速DMA模块通道		6	6
32位CPU定时器		6（每个核支持3个）	6（每个核支持3个）
窗口看门狗定时器		1	1
非可屏蔽中断看门狗定时器		1	1
IO引脚	GPIO	40/26/25	109
	AIO	21/14/12	21/14/12
嵌入式实时分析和诊断(ERAD)		有	有
外部中断		8	8
12bit ADC	数量	3	3
	采样率	3M	3M
	通道数	16	16
	输入模式	单端	单端
	后处理(PPB)	4	4
比较子系统(CMPSS)	数量	7/6/5	7/6/5
	DAC	10bit	10bit
12bit DAC		2	2
可编程增益放大器(PGA)	数量	7/5/4	7/5/4
	放大倍数	3 6 12 24 48	3 6 12 24 48
PMBus		1	1
I2C		1	1
CAN FD(兼容CAN2.0)		2	2
SPI		2	2
SCI		2	2
LIN		1	1
FSI		1	1
16bit/32bit EMIF		-	2(含一个用于合封FPGA)
EPWM	EPWM通道	12个24ch	12个24ch
	HRPWM（150ps）	8个16ch	8个16ch
	HHRPWM(45ps)	-	8个16ch
eCAP	eCAP	7	7
	HRCAP	2	2
eQEP		2	2
Σ-Δ滤波器模块（SDFM）		4/2/2	4/2/2
工作温度（AT）		-40℃~125℃	-40℃~125℃
封装形式		100 LQFP(16*16mm)	TBD
		56 VQFN(7*7)	TBD

3.3 产品编码

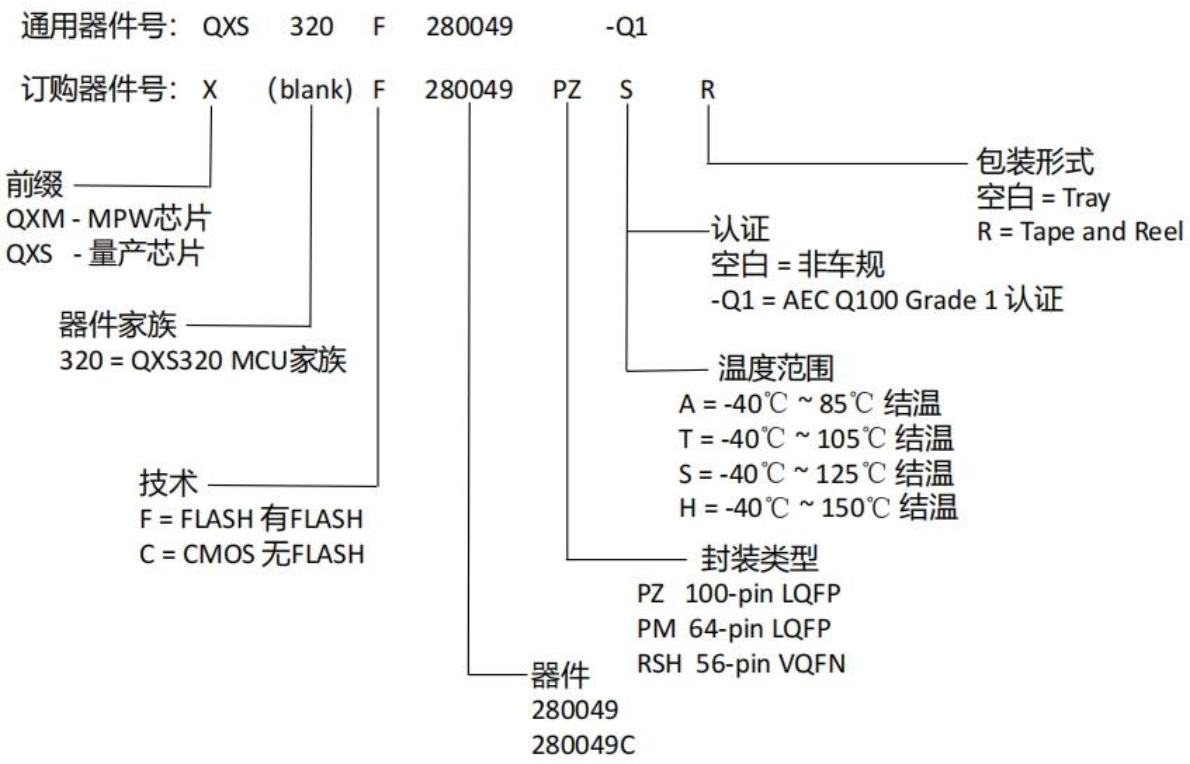
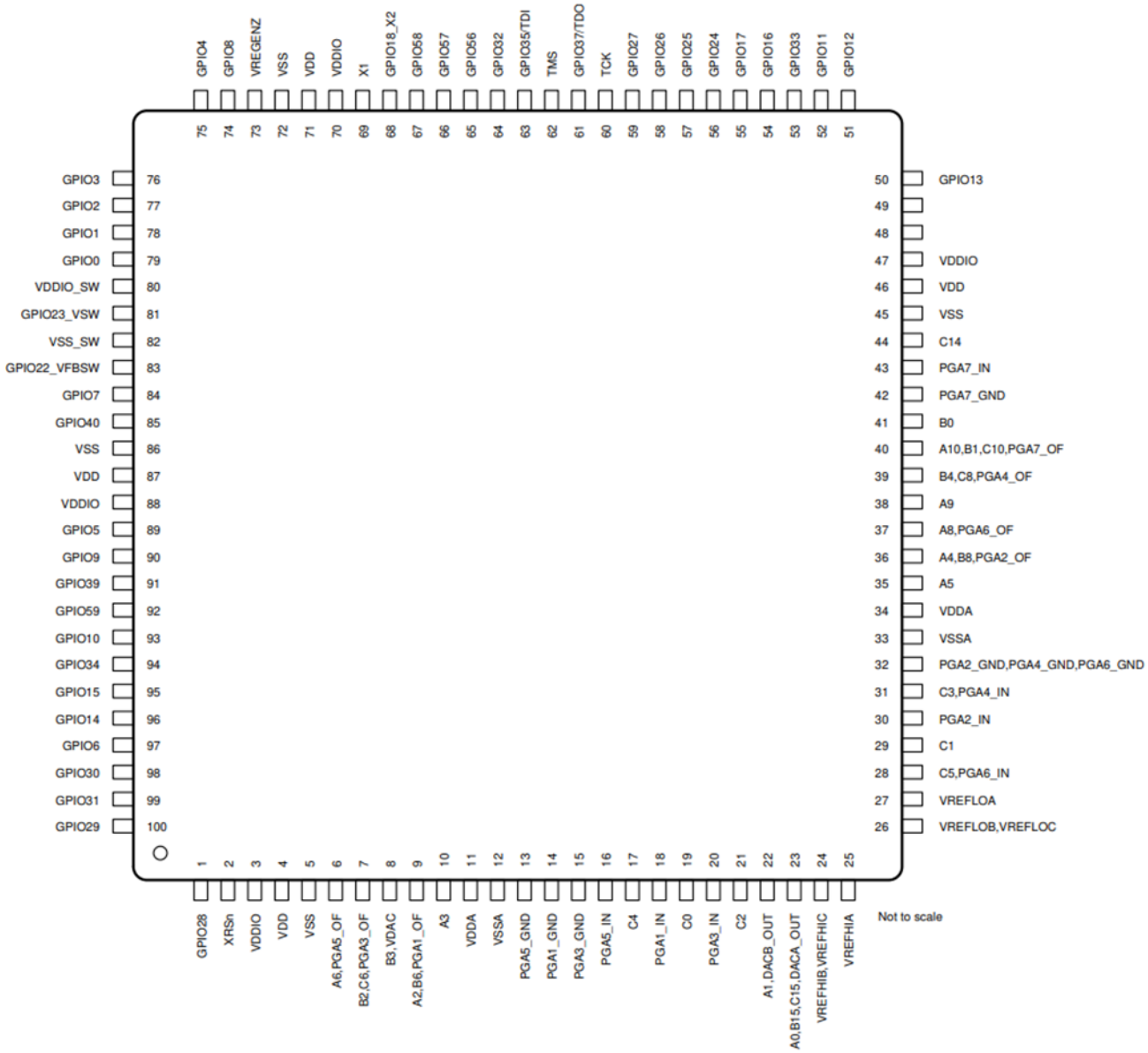


图 3-2 器件命名规则图

4 终端配置与功能

4.1 引脚图



4.2 引脚说明

4.3 信号描述

表 6-1.引脚属性

信号名称	多路复用器位置	100 PZ	56RSH	引脚类型	说明
A0 B15 C15 DACA_OUT AIO231		23		I I I O I	ADC-A 输入 0 ADC-B 输入 15 ADC-C 输入 15 缓冲 DAC-A 输出 ADC 引脚上的数字输入 231
A1 DACB_OUT AIO232		22		I O I	ADC-A 输入 1 缓冲 DAC-B 输出 ADC 引脚上的数字输入 232
A10 B1 C10 PGA7_OF CMP7_HP0 CMP7_LP0 AIO230		40		I I I O I I I	ADC-A 输入 10 ADC-B 输入 1 ADC-C 输入 10 PGA-7 输出滤波器（可选） CMPSS-7 高电平比较器正输入 0 CMPSS-7 低电平比较器正输入 0 ADC 引脚上的数字输入 230
A2 B6 PGA1_OF CMP1_HP0 CMP1_LP0 AIO224		9		I I O I I I	ADC-A 输入 2 ADC-B 输入 6 PGA-1 输出滤波器（可选） CMPSS-1 高电平比较器正输入 0 CMPSS-1 低电平比较器正输入 0 ADC 引脚上的数字输入 224
A3 CMP1_HP3 CMP1_HN0 CMP1_LP3 CMP1_LN0 AIO233		10		I I I I I I	ADC-A 输入 3 CMPSS-1 高电平比较器正输入 3 CMPSS-1 高电平比较器负输入 0 CMPSS-1 低电平比较器正输入 3 CMPSS-1 低电平比较器负输入 0 ADC 引脚上的数字输入 233

A4 B8 PGA2_OF CMP2_HP0 CMP2_LP0 AIO225		36		I I O I I I	ADC-A 输入 4 ADC-B 输入 8 PGA-2 输出滤波器（可选） CMPSS-2 高电平比较器正输入 0 CMPSS-2 低电平比较器正输入 0 ADC 引脚上的数字输入 225
A5 CMP2_HP3 CMP2_HN0 CMP2_LP3 CMP2_LN0 AIO234		35		I I I I I I	ADC-A 输入 5 CMPSS-2 高电平比较器正输入 3 CMPSS-2 高电平比较器负输入 0 CMPSS-2 低电平比较器正输入 3 CMPSS-2 低电平比较器负输入 0 ADC 引脚上的数字输入 234

信号名称	多路复用器位置	100 PZ	56 RSH	引脚类型	说明
A6 PGA5_OF CMP5_HP0 CMP5_LP0 AIO228		6		I O I I I	ADC-A 输入 6 PGA-5 输出滤波器（可选） CMPSS-5 高电平比较器正输入 0 CMPSS-5 低电平比较器正输入 0 ADC 引脚上的数字输入 228
A8 PGA6_OF CMP6_HP0 CMP6_LP0 AIO229		37		I O I I I	ADC-A 输入 8 PGA-6 输出滤波器（可选） CMPSS-6 高电平比较器正输入 0 CMPSS-6 低电平比较器正输入 0 ADC 引脚上的数字输入 229
A9 CMP6_HP3 CMP6_HN0 CMP6_LP3 CMP6_LN0 AIO236		38		I I I I I I	ADC-A 输入 9 CMPSS-6 高电平比较器正输入 3 CMPSS-6 高电平比较器负输入 0 CMPSS-6 低电平比较器正输入 3 CMPSS-6 低电平比较器负输入 0 ADC 引脚上的数字输入 236
B0 CMP7_HP3 CMP7_HN0 CMP7_LP3 CMP7_LN0 AIO241		41		I I I I I I	ADC-B 输入 0 CMPSS-7 高电平比较器正输入 3 CMPSS-7 高电平比较器负输入 0 CMPSS-7 低电平比较器正输入 3 CMPSS-7 低电平比较器负输入 0 ADC 引脚上的数字输入 241
B2 C6 PGA3_OF CMP3_HP0 CMP3_LP0 AIO226		7		I I O I I I	ADC-B 输入 2 ADC-C 输入 6 PGA-3 输出滤波器（可选） CMPSS-3 高电平比较器正输入 0 CMPSS-3 低电平比较器正输入 0 ADC引脚上的数字输入 226

B3 VDAC CMP3_HP3 CMP3_HN0 CMP3_LP3 CMP3_LN0 AIO242		8		I I I I I I I	ADC-B 输入 3 片上 DAC 的可选外部基准电压。无论是用于 ADC 输入还是 DAC 基准，此引脚上有一个连接至 VSSA 且无法禁用的 100pF 电容器。如果将此引脚用作片上 DAC 的基准，请在此引脚上放置至少一个 1μF 电容器。 CMPSS-3 高电平比较器正输入 3 CMPSS-3 高电平比较器负输入 0 CMPSS-3 低电平比较器正输入 3 CMPSS-3 低电平比较器负输入 0 ADC 引脚上的数字输入 242
B4 C8 PGA4_OF CMP4_HP0 CMP4_LP0 AIO227		39		I I O I I I	ADC-B 输入 4 ADC-C 输入 8 PGA-4 输出滤波器（可选） CMPSS-4 高电平比较器正输入 0 CMPSS-4 低电平比较器正输入 0 ADC 引脚上的数字输入 227
C0 CMP1_HP1 CMP1_HN1 CMP1_LP1 CMP1_LN1 AIO237		19		I I I I I I	ADC-C 输入 0 CMPSS-1 高电平比较器正输入 1 CMPSS-1 高电平比较器负输入 1 CMPSS-1 低电平比较器正输入 1 CMPSS-1 低电平比较器负输入 1 ADC 引脚上的数字输入 237
C1 CMP2_HP1 CMP2_HN1 CMP2_LP1 CMP2_LN1 AIO238		29		I I I I I I	ADC-C 输入 1 CMPSS-2 高电平比较器正输入 1 CMPSS-2 高电平比较器负输入 1 CMPSS-2 低电平比较器正输入 1 CMPSS-2 低电平比较器负输入 1 ADC 引脚上的数字输入 238
C14 CMP7_HP1 CMP7_HN1 CMP7_LP1 CMP7_LN1 AIO246		44		I I I I I I	ADC-C 输入 14 CMPSS-7 高电平比较器正输入 1 CMPSS-7 高电平比较器负输入 1 CMPSS-7 低电平比较器正输入 1 CMPSS-7 低电平比较器负输入 1 ADC 引脚上的数字输入 246

C2 CMP3_HP1 CMP3_HN1 CMP3_LP1 CMP3_LN1 AIO244		21		I I I I I I	ADC-C 输入 2 CMPSS-3 高电平比较器正输入 1 CMPSS-3 高电平比较器负输入 1 CMPSS-3 低电平比较器正输入 1 CMPSS-3 低电平比较器负输入 1 ADC 引脚上的数字输入 244
C3 CMP4_HP1 CMP4_HN1 CMP4_LP1 CMP4_LN1 AIO245		31		I I I I I I	ADC-C 输入 3 CMPSS-4 高电平比较器正输入 1 CMPSS-4 高电平比较器负输入 1 CMPSS-4 低电平比较器正输入 1 CMPSS-4 低电平比较器负输入 1 ADC 引脚上的数字输入 245
C4 CMP5_HP1 CMP5_HN1 CMP5_LP1 CMP5_LN1 AIO239		17		I I I I I I	ADC-C 输入 4 CMPSS-5 高电平比较器正输入 1 CMPSS-5 高电平比较器负输入 1 CMPSS-5 低电平比较器正输入 1 CMPSS-5 低电平比较器负输入 1 ADC 引脚上的数字输入 239
C5 CMP6_HP1 CMP6_HN1 CMP6_LP1 CMP6_LN1 AIO240		28		I I I I I I	ADC-C 输入 5 CMPSS-6 高电平比较器正输入 1 CMPSS-6 高电平比较器负输入 1 CMPSS-6 低电平比较器正输入 1 CMPSS-6 低电平比较器负输入 1 ADC 引脚上的数字输入 240
PGA1_GND		14		I	PGA-1 接地
PGA1_IN CMP1_HP2 CMP1_LP2		18		I I I	PGA-1 输入 CMPSS-1 高电平比较器正输入 2 CMPSS-1 低电平比较器正输入 2
PGA2_GND		32		I	PGA-2 接地
PGA2_IN CMP2_HP2 CMP2_LP2		30		I I I	PGA-2 输入 CMPSS-2 高电平比较器正输入 2 CMPSS-2 低电平比较器正输入 2

PGA3_GND		15		I	PGA-3 接地
PGA3_IN CMP3_HP2 CMP3_LP2		20		I I I	PGA-3 输入 CMPSS-3 高电平比较器正输入 2 CMPSS-3 低电平比较器正输入 2
PGA4_GND		32		I	PGA-4 接地
PGA4_IN CMP4_HP2 CMP4_LP2		31		I I I	PGA-4 输入 CMPSS-4 高电平比较器正输入 2 CMPSS-4 低电平比较器正输入 2
PGA5_GND		13		I	PGA-5 接地
PGA5_IN CMP5_HP2 CMP5_LP2		16		I I I	PGA-5 输入 CMPSS-5 高电平比较器正输入 2 CMPSS-5 低电平比较器正输入 2
PGA6_GND		32		I	PGA-6 接地
PGA6_IN CMP6_HP2 CMP6_LP2		28		I I I	PGA-6 输入 CMPSS-6 高电平比较器正输入 2 CMPSS-6 低电平比较器正输入 2
PGA7_GND		42		I	PGA-7 接地
PGA7_IN CMP7_HP2 CMP7_LP2		43		I I I	PGA-7 输入 CMPSS-7 高电平比较器正输入 2 CMPSS-7 低电平比较器正输入 2
VREFHIA		25		I/O	ADC-A 高基准电压。在外部基准模式下，从外部驱动这个引脚上的高基准电压。在内部基准模式下，电压由器件驱动到该引脚。在任一模式下，在此引脚上放置至少一个 2.2μF 电容器。此电容器应放置在 VREFHIA 和 VREFLOA 引脚之间 尽可能靠近器件的位置。不要在内部或外部基准模式下从外部加载此引脚。
VREFHIB		24		I/O	ADC-B 高基准电压。在外部基准模式下，从外部驱动这个引脚上的高基准电压。在内部基准模式下，电压由器件驱动到该引脚。在任一模式下，在此引脚上放置至少一个 2.2μF 电容器。此电容器应放置在 VREFHIB 和 VREFLOB 引脚之间 尽可能靠近器件的位置。不要在内部或外部基准模式下从外部加载此引脚。
VREFHIC		24		I/O	ADC-C 高基准电压。在外部基准模式下，从外部驱动这个引脚上的高基准电压。在内部基准模式下，电压由器件驱动到该引脚。在任一模式下，在此引脚上放置至少一个 2.2μF 电容器。此电容器应放置在 VREFHIC 和 VREFLOC 引脚之间 尽可能靠近器件的位置。不要在内部或外部基准模式下从外部加载此引脚。

VREFLOA		27		I	ADC-A 低基准电压
VREFLOB		26		I	ADC-B 低基准电压
VREFLOC		26		I	ADC-C 低基准电压

信号名称	多路复用器位置	100 PZ	56 RSH	引脚类型	说明
GPIO0 EPWM1_A I2CA_SDA	0、4、8、12 16	79		I/O O I/OD	通用输入/输出 0 ePWM-1 输出 A I2C-A 开漏双向数据
GPIO1 EPWM1_B I2CA_SCL	0、4、8、12 1 6	78		I/O O I/OD	通用输入/输出 1 ePWM-1 输出 B I2C-A 开漏双向时钟
GPIO2 EPWM2_A OUTPUTXBAR1 PMBUSA_SDA SCIA_TX FSIRXA_D1	0、4、8、12 1 5 6 9 10	77		I/O O O I/OD O I	通用输入/输出 2 ePWM-2 输出 A 输出 X-BAR 输出 1 PMBus-A 开漏双向数据 SCI-A 发 送数据 FSIRX-A 可选附加数据输入
GPIO3 EPWM2_B OUTPUTXBAR2 PMBUSA_SCL SPIA_CLK SCIA_RX FSIRXA_D0	0、4、8、12 1 2、5 6 7 9 10	76		I/O O O I/OD I/O I I	通用输入/输出 3 ePWM-2 输出 B 输出 X-BAR 输出 2 PMBus-A 开漏双向时钟 SPI-A 时钟 SCI-A 接收数据 FSIRX-A 主数据输入
GPIO4 EPWM3_A OUTPUTXBAR3 CANA_TX FSIRXA_CLK	0、4、8、12 1 5 6 10	75		I/O O O O I	通用输入/输出 4 ePWM-3 输出 A 输出 X-BAR 输出 3 CAN-A 发送 FSIRX-A 输入时钟
GPIO5 EPWM3_B OUTPUTXBAR3 CANA_RX SPIA_STE FSITXA_D1	0、4、8、12 1 3 6 7 9	89		I/O O O I I/O O	通用输入/输出 5 ePWM-3 输出 B 输出 X-BAR 输出 3 CAN-A 接收 SPI-A 从器件发送使能 (STE) FSITX-A 可选附加数据输出

GPIO6 EPWM4_A OUTPUTXBAR4 SYNCOUT EQEP1_A CANB_TX SPIB_SOMI FSITXA_D0	0、4、8、12 1 2 3 5 6 7 9	97		I/O O O O I O I/O O	通用输入/输出 6 ePWM-4 输出 A 输出 X-BAR 输出 4 外部 ePWM 同步脉冲 eQEP-1 输入 A CAN-B 发送 SPI-B 从器件输出、主器件输入 (SOMI) FSITX-A 主数据输出

信号名称	多路复用器位置	100 PZ	56 RSH	引脚类型	说明
GPIO7	0、4、8、12	84		I/O	通用输入/输出 7
EPWM4_B	1			O	ePWM-4 输出 B
OUTPUTXBAR5	3			O	输出 X-BAR 输出 5
EQEP1_B	5			I	eQEP-1 输入 B
CANB_RX	6			I	CAN-B 接收
SPIB_SIMO	7			I/O	SPI-B 从器件输入，主器件输出 (SIMO)
FSITXA_CLK	9			O	FSITX-A 输出时钟
GPIO8	0、4、8、12	74		I/O	通用输入/输出 8
EPWM5_A	1			O	ePWM-5 输出 A
CANB_TX	2			O	CAN-B 发送
ADCSOCAO	3			O	外部 ADC（来自 ePWM 模块）的ADC 转换启动 A 输出
EQEP1_STROBE	5			I/O	eQEP-1 选通
SCIA_TX	6			O	SCI-A 发送数据
SPIA_SIMO	7			I/O	SPI-A 从器件输入，主器件输出 (SIMO)
I2CA_SCL	9			I/OD	I2C-A 开漏双向时钟
FSITXA_D1	10			O	FSITX-A 可选附加数据输出
GPIO9	0、4、8、12	90		I/O	通用输入/输出 9
EPWM5_B	1			O	ePWM-5 输出 B
SCIB_TX	2			O	SCI-B 发送数据
OUTPUTXBAR6	3			O	输出 X-BAR 输出 6
EQEP1_INDEX	5			I/O	eQEP-1 索引
SCIA_RX	6			I	SCI-A 接收数据
SPIA_CLK	7			I/O	SPI-A 时钟
FSITXA_D0	10			O	FSITX-A 主数据输出
GPIO10	0、4、8、12	93		I/O	通用输入/输出 10
EPWM6_A	1			O	ePWM-6 输出 A
CANB_RX	2			I	CAN-B 接收
ADCSOCBO	3			O	外部 ADC（来自 ePWM 模块）的ADC 转换启动 B 输出
EQEP1_A	5			I	eQEP-1 输入 A
SCIB_TX	6			O	SCI-B 发送数据
SPIA_SOMI	7			I/O	SPI-A 从器件输出，主器件输入 (SOMI)
I2CA_SDA	9			I/OD	I2C-A 开漏双向数据
FSITXA_CLK	10			O	FSITX-A 输出时钟
GPIO11	0、4、8、12	52		I/O	通用输入/输出 11
EPWM6_B	1			O	ePWM-6 输出 B
SCIB_RX	2、6			I	SCI-B 接收数据
OUTPUTXBAR7	3			O	输出 X-BAR 输出 7
EQEP1_B	5			I	eQEP-1 输入 B
SPIA_STE	7			I/O	SPI-A 从器件发送使能 (STE)
FSIRXA_D1	9			I	FSIRX-A 可选附加数据输入

GPIO12 EPWM7_A CANB_TX EQEP1_STROBE SCIB_TX PMBUSA_CTL FSIRXA_D0	0、4、8、12 1 2 5 6 7 9	51		I/O O O I/O O I I	通用输入/输出 12 ePWM-7 输出 A CAN-B 发送 eQEP-1 选通 SCI-B 发送数据 PMBus-A 控制信号 FSIRX-A 主数据输入
GPIO13 EPWM7_B CANB_RX EQEP1_INDEX SCIB_RX PMBUSA_ALERT FSIRXA_CLK	0、4、8、12 1 2 5 6 7 9	50		I/O O I I/O I I/OD I	通用输入/输出 13 ePWM-7 输出 B CAN-B 接收 eQEP-1 索引 SCI-B 接收数据 PMBus-A 开漏双向警报信号 FSIRX-A 输入时钟
GPIO14 EPWM8_A SCIB_TX OUTPUTXBAR3 PMBUSA_SDA SPIB_CLK EQEP2_A	0、4、8、12 1 2 6 7 9 10	96		I/O O O O I/OD I/O I	通用输入/输出 14 ePWM-8 输出 A SCI-B 发送数据 输出 X-BAR 输出 3 PMBus-A 开漏双向数据 SPI-B 时钟 eQEP-2 输入 A
GPIO15 EPWM8_B SCIB_RX OUTPUTXBAR4 PMBUSA_SCL SPIB_STE EQEP2_B	0、4、8、12 1 2 6 7 9 10	95		I/O O I O I/OD I/O I	通用输入/输出 15 ePWM-8 输出 B SCI-B 接收数据 输出 X-BAR 输出 4 PMBus-A 开漏双向时钟 SPI-B 从器件发送使能 (STE) eQEP-2 输入 B

GPIO16 SPIA_SIMO CANB_TX OUTPUTXBAR7 EPWM5_A SCIA_TX SD1_D1 EQEP1_STROBE PMBUSA_SCL XCLKOUT	0、4、8、12 1 2 3 5 6 7 9 10 11	54		I/O I/O O O O O I I/O I/OD O	通用输入/输出 16 SPI-A 从器件输入、主器件输出 (SIMO) CAN-B 发送 输出 X-BAR 输出 7 ePWM-5 输出 A SCI-A 发送数据 SDFM-1 通道 1 数据输入 eQEP-1 选通 PMBus-A 开漏双向时钟 外部时钟输出。此引脚从器件中输出所选时钟信号的分频版本。

GPIO17 SPIA_SOMI CANB_RX OUTPUTXBAR8 EPWM5_B SCIA_RX SD1_C1 EQEP1_INDEX PMBUSA_SDA	0、4、8、12 1 2 3 5 6 7 9 10	55		I/O I/O I O O I I I/O I/OD	通用输入/输出 17 SPI-A 从器件输出、主器件输入 (SOMI) CAN-B 接收 输出 X-BAR 输出 8 ePWM-5 输出 B SCI-A 接收数据 SDFM-1 通道 1 时钟输入 eQEP-1 索引 PMBus-A 开漏双向数据
GPIO18_X2 SPIA_CLK SCIB_TX CANA_RX EPWM6_A I2CA_SCL SD1_D2 EQEP2_A PMBUSA_CTL XCLKOUT X2	0、4、8、12 1 2 3 5 6 7 9 10 11 ALT	68		I/O I/O O I O I/OD I I I O I/O	通用输入/输出 18。仅在由 INTOSC 为系统计时且 X1 具有外部下拉电阻（推荐 1kΩ）时，才可使用该引脚及其数字多路复用器选项。 SPI-A 时钟 SCI-B 发送数据 CAN-A 接收 ePWM-6 输出 A I2C- A 开漏双向时钟 SDFM-1 通道 2 数据输入 eQEP-2 输入 A PMBus-A 控制信号 外部时钟输出。此引脚从器件中输出所选时钟信号的分频版本。 晶振振荡器输出
GPIO20	0			I/O	通用输入/输出 20
GPIO21	0			I/O	通用输入/输出 21
GPIO22_VFBSW EQEP1_STROBE SCIB_TX SPIB_CLK SD1_D4 LINA_TX VFBSW(1)	0、4、8、12 1 3 6 7 9 ALT	83		I/O I/O O I/O I O -	通用输入/输出 22。默认情况下，该引脚配置为直流/直流模式。如果未使用内部直流/直流稳压器，则可以通过禁用直流/直流 (DCDCCTL.DCDCEN = 0) 并清除 GPAAMSEL 寄存器中的位将其配置为通用输入/输出 22。 eQEP-1 选通 SCI-B 发送数据 SPI-B 时钟 SDFM-1 通道 4 数据输入 LIN-A 发送 内部直流/直流稳压器反馈信号。如果使用内部直流/直流稳压器 (DCDCCTL.DCDCEN = 1)，请将此引脚连接到节点，其中 L(VSW) 连接到 VDD 电源轨（尽可能靠近器件）。
GPIO23_VSW VSW(1)	0 ALT	81		I/O -	通用输入/输出 23。默认情况下，该引脚配置为直流/直流模式。如果未使用内部直流/直流稳压器，则可以通过禁用直流/直流 (DCDCCTL.DCDCEN = 0) 并清除 GPAAMSEL 寄存器中的位将其配置为通用输入/输出 23。该引脚的内部电容约为 100pF。TI 建议使用备用 GPIO，或仅在不需要快速开关响应的应用中使用此引脚。 内部直流/直流稳压器的开关输出（当DCDCCTL.DCDCEN = 1 时）

GPIO24 OUTPUTXBAR1 EQEP2_A EPWM8_A SPIB_SIMO SD1_D1 PMBUSA_SCL SCIA_TX ERRORSTS	0、4、8、12 1 2 5 6 7 10 11 13	56		I/O O I O I/O I I/OD O O	通用输入/输出 24 输出 X-BAR 输出 1 eQEP-2 输入 A ePWM-8 输出 A SPI-B 从器件输入、主器件输出 (SIMO) SDFM-1 通道 1 数据输入 PMBus-A 开漏双向时钟 SCI-A 发送数据 低电平有效错误状态输出。如果您希望在上电期间或在 ERRORSTS 信号本身发生故障期间将错误状态置为有效、则可以使用外部下拉电阻。如果您不希望在上述条件下将错误状态置为有效、则可以使用上拉电阻。
GPIO25 OUTPUTXBAR2 EQEP2_B SPIB_SOMI SD1_C1 FSITXA_D1 PMBUSA_SDA SCIA_RX	0、4、8、12 1 2 6 7 9 10 11	57		I/O O I I/O I O I/OD I	通用输入/输出 25 输出 X-BAR 输出 2 eQEP-2 输入 B SPI-B 从器件输出、主器件输入 (SOMI) SDFM-1 通道 1 时钟输入 FSITX-A 可选附加数据输出 PMBus-A 开漏双向数据 SCI-A 接收数据
GPIO26 OUTPUTXBAR3 EQEP2_INDEX SPIB_CLK SD1_D2 FSITXA_D0 PMBUSA_CTL I2CA_SDA	0、4、8、12 1, 5 2 6 7 9 10 11	58		I/O O I/O I/O I O I I/OD	通用输入/输出 26 输出 X-BAR 输出 3 eQEP-2 索引 SPI-B 时钟 SDFM-1 通道 2 数据输入 FSITX-A 主数据输出 PMBus-A 控制信号 I2C-A 开漏双向数据
GPIO27 OUTPUTXBAR4 EQEP2_STROBE SPIB_STE SD1_C2 FSITXA_CLK PMBUSA_ALERT I2CA_SCL	0、4、8、12 1, 5 2 6 7 9 10 11	59		I/O O I/O I/O I O I/OD I/OD	通用输入/输出 27 输出 X-BAR 输出 4 eQEP-2 选通 SPI-B 从器件发送使能 (STE) SDFM-1 通道 2 时钟输入 FSITX-A 输出时钟 PMBus-A 开漏双向警报信号 I2C-A 开漏双向时钟

信号名称	多路复用器位置	100 PZ	56 RSH	引脚类型	说明
GPIO28	0 · 4 · 8 · 12			I/O	通用输入/输出 28
SCIA_RX	1			I	SCI-A 接收数据
EPWM7_A	3			O	ePWM-7 输出 A
OUTPUTXBAR5	5			O	输出 X-BAR 输出 5
EQEP1_A	6			I	eQEP-1 输入 A
SD1_D3	7			I	SDFM-1 通道 3 数据输入
EQEP2_STROBE	9	1		I/O	eQEP-2 选通
LINA_TX	10			O	LIN-A 发送
SPIB_CLK	11			I/O	SPI-B 时钟
ERRORSTS	13			O	低电平有效错误状态输出。如果您希望在上电期间或在 ERRORSTS 信号本身发生故障期间将错误状态置为有效，则可以使用外部下拉电阻。如果您不希望在上述条件下将错误状态置为有效，则可以使用上拉电阻。
GPIO29	0 · 4 · 8 · 12			I/O	通用输入/输出 29
SCIA_TX	1			O	SCI-A 发送数据
EPWM7_B	3			O	ePWM-7 输出 B
OUTPUTXBAR6	5			O	输出 X-BAR 输出 6
EQEP1_B	6			I	eQEP-1 输入 B
SD1_C3	7			I	SDFM-1 通道 3 时钟输入
EQEP2_INDEX	9	100		I/O	eQEP-2 索引
LINA_RX	10			I	LIN-A 接收
SPIB_STE	11			I/O	SPI-B 从器件发送使能 (STE)
ERRORSTS	13			O	低电平有效错误状态输出。如果您希望在上电期间或在 ERRORSTS 信号本身发生故障期间将错误状态置为有效，则可以使用外部下拉电阻。如果您不希望在上述条件下将错误状态置为有效，则可以使用上拉电阻。
GPIO30	0 · 4 · 8 · 12			I/O	通用输入/输出 30
CANA_RX	1			I	CAN-A 接收
SPIB_SIMO	3			I/O	SPI-B 从器件输入 · 主器件输出 (SIMO)
OUTPUTXBAR7	5	98		O	输出 X-BAR 输出 7
EQEP1_STROBE	6			I/O	eQEP-1 选通
SD1_D4	7			I	SDFM-1 通道 4 数据输入
GPIO31	0 · 4 · 8 · 12			I/O	通用输入/输出 31
CANA_TX	1			O	CAN-A 发送
SPIB_SOMI	3			I/O	SPI-B 从器件输出 · 主器件输入 (SOMI)
OUTPUTXBAR8	5	99		O	输出 X-BAR 输出 8
EQEP1_INDEX	6			I/O	eQEP-1 索引
SD1_C4	7			I	SDFM-1 通道 4 时钟输入
FSIRXA_D1	9			I	FSIRX-A 可选附加数据输入

信号名称	多路复用器位置	100 PZ	56 RSH	引脚类型	说明
GPIO32	0、4、8、12	64		I/O	通用输入/输出 32
I2CA_SDA	1			I/OD	I2C-A 开漏双向数据
SPIB_CLK	3			I/O	SPI-B 时钟
EPWM8_B	5			O	ePWM-8 输出 B
LINA_TX	6			O	LIN-A 发送
SD1_D3	7			I	SDFM-1 通道 3 数据输入
FSIRXA_D0	9			I	FSIRX-A 主数据输入
CANA_TX	10			O	CAN-A 发送
GPIO33	0、4、8、12	53		I/O	通用输入/输出 33
I2CA_SCL	1			I/OD	I2C-A 开漏双向时钟
SPIB_STE	3			I/O	SPI-B 从器件发送使能 (STE)
OUTPUTXBAR4	5			O	输出 X-BAR 输出 4
LINA_RX	6			I	LIN-A 接收
SD1_C3	7			I	SDFM-1 通道 3 时钟输入
FSIRXA_CLK	9			I	FSIRX-A 输入时钟
CANA_RX	10			I	CAN-A 接收
GPIO34	0、4、8、12	94		I/O	通用输入/输出 34
OUTPUTXBAR1	1			O	输出 X-BAR 输出 1
PMBUSA_SDA	6			I/OD	PMBus-A 开漏双向数据
GPIO35	0、4、8、12	63		I/O	通用输入/输出 35
SCIA_RX	1			I	SCI-A 接收数据 I2C-
I2CA_SDA	3			I/OD	A 开漏双向数据
CANA_RX	5			I	CAN-A 接收
PMBUSA_SCL	6			I/OD	PMBus-A 开漏双向时钟
LINA_RX	7			I	LIN-A 接收
EQEP1_A	9			I	eQEP-1 输入 A
PMBUSA_CTL	10			I	PMBus-A 控制信号
TDI	15			I	JTAG 测试数据输入 (TDI) - TDI 是引脚的默认多路复用器选择。默认情况下，内部上拉电阻处于禁用状态。如果将该引脚用作 JTAG TDI，则应启用内部上拉电阻或在电路板上添加外部上拉电阻，以避免输入悬空。

信号名称	多路复用器位置	100 PZ	56 RSH	引脚类型	说明
GPIO37 OUTPUTXBAR2 I2CA_SCL SCIA_TX CANA_TX LINA_TX EQEP1_B PMBUSA_ALERT TDO	0、4、8、12 1 3 5 6 7 9 10 15	61		I/O O I/OD O O O I I/OD O	通用输入/输出 37 输出 X-BAR 输出 2 I2C-A 开漏双向时钟 SCI-A 发送数据 CAN-A 发送 LIN-A 发送 eQEP-1 输入 B PMBus-A 开漏双向警报信号 JTAG 测试数据输出 (TDO) - TDO 是引脚的默认多路复用器选择。默认情况下，内部上拉电阻处于禁用状态。当没有 JTAG 活动时，TDO 功能将处于三态条件，使这个引脚悬 空；内部上拉电阻应该被启用或者在电路板上增加一个外部上拉电阻来避免 GPIO 输入悬空。
GPIO39 CANB_RX FSIRXA_CLK	0、4、8、12 6 7	91		I/O I I	通用输入/输出 39 CAN-B 接收 FSIRX-A 输入时钟
GPIO40 PMBUSA_SDA FSIRXA_D0 SCIB_TX EQEP1_A	0、4、8、12 6 7 9 10	85		I/O I/OD I O I	通用输入/输出 40 PMBus-A 开漏双向数据 FSIRX-A 主数据输入 SCI-B 发送数据 eQEP-1 输入 A
GPIO41	0			I/O	通用输入/输出 41
GPIO42	0			I/O	通用输入/输出 42
GPIO43	0			I/O	通用输入/输出 43
GPIO44	0			I/O	通用输入/输出 44
GPIO45	0			I/O	通用输入/输出 45
GPIO46	0			I/O	通用输入/输出 46
GPIO47	0			I/O	通用输入/输出 47
GPIO48	0			I/O	通用输入/输出 48
GPIO49	0			I/O	通用输入/输出 49
GPIO50	0			I/O	通用输入/输出 50
GPIO51	0			I/O	通用输入/输出 51
GPIO52	0			I/O	通用输入/输出 52
GPIO53	0			I/O	通用输入/输出 53
GPIO54	0			I/O	通用输入/输出 54
GPIO55	0			I/O	通用输入/输出 55

信号名称	多路复用器位置	100 PZ	56 RSH	引脚类型	说明
GPIO56	0、4、8、12	65		I/O	通用输入/输出 56
SPIA_CLK	1			I/O	SPI-A 时钟
EQEP2_STROBE	5			I/O	eQEP-2 选通
SCIB_TX	6			O	SCI-B 发送数据
SD1_D3	7			I	SDFM-1 通道 3 数据输入
SPIB_SIMO	9			I/O	SPI-B 从器件输入、主器件输出 (SIMO)
EQEP1_A	11			I	eQEP-1 输入 A
GPIO57	0、4、8、12	66		I/O	通用输入/输出 57
SPIA_STE	1			I/O	SPI-A 从器件发送使能 (STE)
EQEP2_INDEX	5			I/O	eQEP-2 索引
SCIB_RX	6			I	SCI-B 接收数据
SD1_C3	7			I	SDFM-1 通道 3 时钟输入
SPIB_SOMI	9			I/O	SPI-B 从器件输出、主器件输入 (SOMI)
EQEP1_B	11			I	eQEP-1 输入 B
GPIO58	0、4、8、12	67		I/O	通用输入/输出 58
OUTPUTXBAR1	5			O	输出 X-BAR 输出 1
SPIB_CLK	6			I/O	SPI-B 时钟
SD1_D4	7			I	SDFM-1 通道 4 数据输入
LINA_TX	9			O	LIN-A 发送
CANB_TX	10			O	CAN-B 发送
EQEP1_STROBE	11			I/O	eQEP-1 选通
GPIO59	0、4、8、12	92		I/O	通用输入/输出 59
OUTPUTXBAR2	5			O	输出 X-BAR 输出 2
SPIB_STE	6			I/O	SPI-B 从器件发送使能 (STE)
SD1_C4	7			I	SDFM-1 通道 4 时钟输入
LINA_RX	9			I	LIN-A 接收
CANB_RX	10			I	CAN-B 接收
EQEP1_INDEX	11			I/O	eQEP-1 索引
FLT1		49		I/O	闪存测试引脚 1。为 TI 预留。必须保持未连接状态。
FLT2		48		I/O	闪存测试引脚 2。为 TI 预留。必须保持未连接状态。
TCK		60		I	带有内部上拉电阻的 JTAG 测试时钟。
TMS		62		I/O	带有内部上拉电阻的 JTAG 测试模式选择 (TMS)。此串行控制输入在 TCK 上升沿上的 TAP 控制器中计时。该器件没有 TRSTn 引脚。在电路板上应放置一个外部上拉电阻（推荐 2.2kΩ）以将 TMS 引脚连接至 VDDIO，从而在正常运行期间将 JTAG 保持在复位状态。
VREGENZ		73		I	具有内部下拉电阻的内部稳压器使能。直接连接到 VSS（低电平）以启用内部 VREG。直接连接到 VDDIO（高电平）以使用外部电源。

信号名称	多路复用器位置	100 PZ	56 RSH	引脚类型	说明
X1		69		I/O	晶体振荡器或单端时钟输入。器件初始化软件必须在启用晶体振荡器之前配置该引脚。为了使用此振荡器，必须将一个石英晶体电路连接至 X1 和 X2。此引脚也可用于馈入单端 3.3V 电平时钟。不支持 GPIO19。GPIO19 在内部连接至 X1功能，因此 GPIO19 应该保持在输入模式，并禁用上拉电阻以避免与 X1 时钟功能发生干扰。
XRSn		2		I/OD	器件复位（输入）和看门狗复位（输出）。在上电条件下，此引脚由器件驱动为低电平。外部电路也可能会驱动此引脚以使器件复位生效。发生看门狗复位时，此引脚也由 MCU驱动为低电平。在看门狗复位期间，XRSn 引脚在 512 个 OSCCLK 周期的看门狗复位持续时间内被驱动为低电平。应在XRSn 和VDDIO 之间放置一个阻值为 2.2kΩ 至10kΩ 的电阻。如果在 XRSn 和 VSS 之间放置一个电容器进行噪声滤除，则该电容器的容值应为 100nF 或更小。当看门狗复位生效时，这些值允许看门狗在 512 个OSCCLK 周期内正确地将 XRSn 引脚驱动至 VOL。这个引脚的输出缓冲器是一个有内部上拉电阻的开漏。如果此引脚由外部器件驱动，则应使用开漏器件进行驱动。如果此引脚由外部器件驱动，则应使用开漏器件进行驱动。
VDD		4、46、71、87			1.2V 数字逻辑电源引脚。TI 建议在每个 VDD 引脚附近放置一个最小总电容值约为 20µF 的去耦电容器。当不使用内部稳压器时，去耦电容的确切值应由您的系统电压调节解决方案来确定。
VDDA		11、34			3.3V 模拟电源引脚。在每个引脚上放置一个最小值为 2.2µF 且连接至 VSSA 的去耦电容器。
VDDIO		3、47、70、88			3.3V 数字 I/O 电源引脚。在每个引脚上放置一个最小值为 0.1µF 的去耦电容器。
VDDIO_SW		80			内部直流/直流稳压器的 3.3V 电源引脚。如果使用内部直流/直流稳压器，则应在该引脚上放置一个 20µF 的大容量输入电容。务必将该引脚连接至 VDDIO 引脚。如果需要，可以使用铁氧体磁珠进行隔离，但 VDDIO_SW 和 VDDIO 必须由同一电源供电。
VSS		5、45、72、86			数字接地
VSSA		12、33			模拟接地
VSS_SW		82			内部直流/直流稳压器接地。务必将该引脚连接至 VSS 引脚。

(1) 当DCDCEN = 1 时，AMSEL 寄存器中的相应位为*无关位*。

4.3.1 模拟信号

表 4-2.模拟信号

信号名称	说明	引脚类型	GPIO	100PZ	56RSH
A0	ADC-A 输入 0	I		23	
A1	ADC-A 输入 1	I		22	
A2	ADC-A 输入 2	I		9	
A3	ADC-A 输入 3	I		10	
A4	ADC-A 输入 4	I		36	
A5	ADC-A 输入 5	I		35	
A6	ADC-A 输入 6	I		6	
A8	ADC-A 输入 8	I		37	
A9	ADC-A 输入 9	I		38	
A10	ADC-A 输入 10	I		40	
AIO224	ADC 引脚上的数字输入 224	I		9	
AIO225	ADC 引脚上的数字输入 225	I		36	
AIO226	ADC 引脚上的数字输入 226	I		7	
AIO227	ADC 引脚上的数字输入 227	I		39	
AIO228	ADC 引脚上的数字输入 228	I		6	
AIO229	ADC 引脚上的数字输入 229	I		37	
AIO230	ADC 引脚上的数字输入 230	I		40	
AIO231	ADC 引脚上的数字输入 231	I		23	
AIO232	ADC 引脚上的数字输入 232	I		22	
AIO233	ADC 引脚上的数字输入 233	I		10	
AIO234	ADC 引脚上的数字输入 234	I		35	
AIO236	ADC 引脚上的数字输入 236	I		38	
AIO237	ADC 引脚上的数字输入 237	I		19	
AIO238	ADC 引脚上的数字输入 238	I		29	
AIO239	ADC 引脚上的数字输入 239	I		17	
AIO240	ADC 引脚上的数字输入 240	I		28	
AIO241	ADC 引脚上的数字输入 241	I		41	
AIO242	ADC 引脚上的数字输入 242	I		8	
AIO244	ADC 引脚上的数字输入 244	I		21	
AIO245	ADC 引脚上的数字输入 245	I		31	
AIO246	ADC 引脚上的数字输入 246	I		44	
B0	ADC-B 输入 0	I		41	
B1	ADC-B 输入 1	I		40	
B2	ADC-B 输入 2	I		7	
B3	ADC-B 输入 3	I		8	
B4	ADC-B 输入 4	I		39	
B6	ADC-B 输入 6	I		9	
B8	ADC-B 输入 8	I		36	
B15	ADC-B 输入 15	I		23	

信号 名称	说 明	引 脚类 型	GP IO	100 PZ	56 RSH
C0	ADC-C 输入 0	I		19	
C1	ADC-C 输入 1	I		29	
C2	ADC-C 输入 2	I		21	
C3	ADC-C 输入 3	I		31	
C4	ADC-C 输入 4	I		17	
C5	ADC-C 输入 5	I		28	
C6	ADC-C 输入 6	I		7	
C8	ADC-C 输入 8	I		39	
C10	ADC-C 输入 10	I		40	
C14	ADC-C 输入 14	I		44	
C15	ADC-C 输入 15	I		23	
CMP1_HN0	CMPSS-1 高电平比较器负输入 0	I		10	
CMP1_HN1	CMPSS-1 高电平比较器负输入 1	I		19	
CMP1_HP0	CMPSS-1 高电平比较器正输入 0	I		9	
CMP1_HP1	CMPSS-1 高电平比较器正输入 1	I		19	
CMP1_HP2	CMPSS-1 高电平比较器正输入 2	I		18	
CMP1_HP3	CMPSS-1 高电平比较器正输入 3	I		10	
CMP1_LN0	CMPSS-1 低电平比较器负输入 0	I		10	
CMP1_LN1	CMPSS-1 低电平比较器负输入 1	I		19	
CMP1_LP0	CMPSS-1 低电平比较器正输入 0	I		9	
CMP1_LP1	CMPSS-1 低电平比较器正输入 1	I		19	
CMP1_LP2	CMPSS-1 低电平比较器正输入 2	I		18	
CMP1_LP3	CMPSS-1 低电平比较器正输入 3	I		10	
CMP2_HN0	CMPSS-2 高电平比较器负输入 0	I		35	
CMP2_HN1	CMPSS-2 高电平比较器负输入 1	I		29	
CMP2_HP0	CMPSS-2 高电平比较器正输入 0	I		36	
CMP2_HP1	CMPSS-2 高电平比较器正输入 1	I		29	
CMP2_HP2	CMPSS-2 高电平比较器正输入 2	I		30	
CMP2_HP3	CMPSS-2 高电平比较器正输入 3	I		35	
CMP2_LN0	CMPSS-2 低电平比较器负输入 0	I		35	
CMP2_LN1	CMPSS-2 低电平比较器负输入 1	I		29	
CMP2_LP0	CMPSS-2 低电平比较器正输入 0	I		36	
CMP2_LP1	CMPSS-2 低电平比较器正输入 1	I		29	
CMP2_LP2	CMPSS-2 低电平比较器正输入 2	I		30	
CMP2_LP3	CMPSS-2 低电平比较器正输入 3	I		35	
CMP3_HN0	CMPSS-3 高电平比较器负输入 0	I		8	
CMP3_HN1	CMPSS-3 高电平比较器负输入 1	I		21	
CMP3_HP0	CMPSS-3 高电平比较器正输入 0	I		7	
CMP3_HP1	CMPSS-3 高电平比较器正输入 1	I		21	
CMP3_HP2	CMPSS-3 高电平比较器正输入 2	I		20	
CMP3_HP3	CMPSS-3 高电平比较器正输入 3	I		8	
CMP3_LN0	CMPSS-3 低电平比较器负输入 0	I		8	

信号 名称	说 明	引 脚类 型	GP IO	100 PZ	56 RSH
CMP3_LN1	CMPSS-3 低电平比较器负输入 1	I		21	
CMP3_LP0	CMPSS-3 低电平比较器正输入 0	I		7	
CMP3_LP1	CMPSS-3 低电平比较器正输入 1	I		21	
CMP3_LP2	CMPSS-3 低电平比较器正输入 2	I		20	
CMP3_LP3	CMPSS-3 低电平比较器正输入 3	I		8	
CMP4_HN1	CMPSS-4 高电平比较器负输入 1	I		31	
CMP4_HP0	CMPSS-4 高电平比较器正输入 0	I		39	
CMP4_HP1	CMPSS-4 高电平比较器正输入 1	I		31	
CMP4_HP2	CMPSS-4 高电平比较器正输入 2	I		31	
CMP4_LN1	CMPSS-4 低电平比较器负输入 1	I		31	
CMP4_LP0	CMPSS-4 低电平比较器正输入 0	I		39	
CMP4_LP1	CMPSS-4 低电平比较器正输入 1	I		31	
CMP4_LP2	CMPSS-4 低电平比较器正输入 2	I		31	
CMP5_HN1	CMPSS-5 高电平比较器负输入 1	I		17	
CMP5_HP0	CMPSS-5 高电平比较器正输入 0	I		6	
CMP5_HP1	CMPSS-5 高电平比较器正输入 1	I		17	
CMP5_HP2	CMPSS-5 高电平比较器正输入 2	I		16	
CMP5_LN1	CMPSS-5 低电平比较器负输入 1	I		17	
CMP5_LP0	CMPSS-5 低电平比较器正输入 0	I		6	
CMP5_LP1	CMPSS-5 低电平比较器正输入 1	I		17	
CMP5_LP2	CMPSS-5 低电平比较器正输入 2	I		16	
CMP6_HN0	CMPSS-6 高电平比较器负输入 0	I		38	
CMP6_HN1	CMPSS-6 高电平比较器负输入 1	I		28	
CMP6_HP0	CMPSS-6 高电平比较器正输入 0	I		37	
CMP6_HP1	CMPSS-6 高电平比较器正输入 1	I		28	
CMP6_HP2	CMPSS-6 高电平比较器正输入 2	I		28	
CMP6_HP3	CMPSS-6 高电平比较器正输入 3	I		38	
CMP6_LN0	CMPSS-6 低电平比较器负输入 0	I		38	
CMP6_LN1	CMPSS-6 低电平比较器负输入 1	I		28	
CMP6_LP0	CMPSS-6 低电平比较器正输入 0	I		37	
CMP6_LP1	CMPSS-6 低电平比较器正输入 1	I		28	
CMP6_LP2	CMPSS-6 低电平比较器正输入 2	I		28	
CMP6_LP3	CMPSS-6 低电平比较器正输入 3	I		38	
CMP7_HN0	CMPSS-7 高电平比较器负输入 0	I		41	
CMP7_HN1	CMPSS-7 高电平比较器负输入 1	I		44	
CMP7_HP0	CMPSS-7 高电平比较器正输入 0	I		40	
CMP7_HP1	CMPSS-7 高电平比较器正输入 1	I		44	
CMP7_HP2	CMPSS-7 高电平比较器正输入 2	I		43	
CMP7_HP3	CMPSS-7 高电平比较器正输入 3	I		41	
CMP7_LN0	CMPSS-7 低电平比较器负输入 0	I		41	
CMP7_LN1	CMPSS-7 低电平比较器负输入 1	I		44	
CMP7_LP0	CMPSS-7 低电平比较器正输入 0	I		40	

信号 名称	说 明	引 脚类 型	GP IO	100 PZ	56 RSH
CMP7_LP1	CMPSS-7 低电平比较器正输入 1	I		44	
CMP7_LP2	CMPSS-7 低电平比较器正输入 2	I		43	
CMP7_LP3	CMPSS-7 低电平比较器正输入 3	I		41	
DACA_OUT	缓冲 DAC-A 输出	O		23	
DACB_OUT	缓冲 DAC-B 输出	O		22	
PGA1_GND	PGA-1 地	I		14	
PGA1_IN	PGA-1 输入	I		18	
PGA1_OF	PGA-1 输出滤波器（可选）	O		9	
PGA2_GND	PGA-2 地	I		32	
PGA2_IN	PGA-2 输入	I		30	
PGA2_OF	PGA-2 输出滤波器（可选）	O		36	
PGA3_GND	PGA-3 地	I		15	
PGA3_IN	PGA-3 输入	I		20	
PGA3_OF	PGA-3 输出滤波器（可选）	O		7	
PGA4_GND	PGA-4 地	I		32	
PGA4_IN	PGA-4 输入	I		31	
PGA4_OF	PGA-4 输出滤波器（可选）	O		39	
PGA5_GND	PGA-5 地	I		13	
PGA5_IN	PGA-5 输入	I		16	
PGA5_OF	PGA-5 输出滤波器（可选）	O		6	
PGA6_GND	PGA-6 地	I		32	
PGA6_IN	PGA-6 输入	I		28	
PGA6_OF	PGA-6 输出滤波器（可选）	O		37	
PGA7_GND	PGA-7 地	I		42	
PGA7_IN	PGA-7 输入	I		43	
PGA7_OF	PGA-7 输出滤波器（可选）	O		40	
VDAC	片上 DAC 的可选外部基准电压。无论是用于 ADC 输入还是 DAC 基准，此引脚上有一个连接至 VSSA 且无法禁用的 100pF 电容器。如果将此引脚用作片上 DAC 的基准，请在此引脚上放置至少一个 1μF 电容器。	I		8	
VREFHIA	ADC-A 高基准电压。在外部基准模式下，从外部将高基准电压驱动至此引脚。在内部基准模式下，电压由器件驱动到该引脚。在任一模式下，在此引脚上放置至少一个 2.2μF 电容器。此电容器应放置在 VREFHIA 和 VREFLOA 引脚之间尽可能靠近器件的位置。不要在内部或外部基准模式下从外部加载此引脚。	I/O		25	
VREFHIB	ADC-B 高基准电压。在外部基准模式下，从外部将高基准电压驱动至此引脚。在内部基准模式下，电压由器件驱动到该引脚。在任一模式下，在此引脚上放置至少一个 2.2μF 电容器。此电容器应放置在 VREFHIB 和 VREFLOB 引脚之间尽可能靠近器件的位置。不要在内部或外部基准模式下从外部加载此引脚。	I/O		24	

信号 名称	说 明	引 脚类 型	GP IO	100 PZ	56 RSH
VREFHIC	ADC-C 高基准电压。在外部基准模式下，从外部将高基准电压驱动至此引脚。在内部基准模式下，电压由器件驱动到该引脚。在任一模式下，在此引脚上放置至少一个 2.2μF 电容器。此电容器应放置在 VREFHIC 和 VREFLOC 引 脚之间尽可能靠近器件的位置。不要在内部或外部基准模式下从外部加载此引脚。	I/O		24	
VREFLOA	ADC-A 低基准电压	I		27	
VREFLOB	ADC-B 低基准电压	I		26	
VREFLOC	ADC-C 低基准电压	I		26	

4.3.2 数字信号

表 4-3.数字信号

信号名称	说明	引脚类型	GPIO	100PZ	56RSH
ADCSOCAO	外部 ADC（来自 ePWM 模块）的ADC 转换启动 A 输出	O	8	74	
ADCSOCBO	外部 ADC（来自 ePWM 模块）的ADC 转换启动 B 输出	O	10	93	
CANA_RX	CAN-A 接收	I	18、30、33、35、5	53、63、68、89、98	
CANA_TX	CAN-A 发送	O	31、32、37、4	61、64、75、99	
CANB_RX	CAN-B 接收	I	10、13、17、39、59、7	50、55、84、91、92、93	
CANB_TX	CAN-B 发送	O	12、16、58、6、8	51、54、67、74、97	
EPWM1_A	ePWM-1 输出 A	O	0	79	
EPWM1_B	ePWM-1 输出 B	O	1	78	
EPWM2_A	ePWM-2 输出 A	O	2	77	
EPWM2_B	ePWM-2 输出 B	O	3	76	
EPWM3_A	ePWM-3 输出 A	O	4	75	
EPWM3_B	ePWM-3 输出 B	O	5	89	
EPWM4_A	ePWM-4 输出 A	O	6	97	
EPWM4_B	ePWM-4 输出 B	O	7	84	
EPWM5_A	ePWM-5 输出 A	O	16、8	54、74	
EPWM5_B	ePWM-5 输出 B	O	17、9	55、90	
EPWM6_A	ePWM-6 输出 A	O	10、18	68、93	
EPWM6_B	ePWM-6 输出 B	O	11	52	
EPWM7_A	ePWM-7 输出 A	O	12、28	1、51	
EPWM7_B	ePWM-7 输出 B	O	13、29	100、50	

EPWM8_A	ePWM-8 输出 A	O	14、24	56、96	
EPWM8_B	ePWM-8 输出 B	O	15、32	64、95	
EQEP1_A	eQEP-1 输入 A	I	10、28、35、40、56、6	1、63、65、85、93、97	
EQEP1_B	eQEP-1 输入 B	I	11、29、37、57、7	100、52、61、66、84	

信号名称	说明	引脚类型	GPIO	100PZ	56RSH
EQEP1_INDEX	eQEP-1 索引	I/O	13、17、31、59、9	50、55、90、92、99	
EQEP1_STROBE	eQEP-1 选通	I/O	12、16、22、30、58、8	51、54、67、74、83、98	
EQEP2_A	eQEP-2 输入 A	I	14、18、24	56、68、96	
EQEP2_B	eQEP-2 输入 B	I	15、25	57、95	
EQEP2_INDEX	eQEP-2 索引	I/O	26、29、57	100、58、66	
EQEP2_STROBE	eQEP-2 选通	I/O	27、28、56	1、59、65	
ERRORSTS	低电平有效错误状态输出。如果您希望在上电期间或在 ERRORSTS 信号本身发生故障期间将错误状态置为有效，则可以使用外部下拉电阻器。如果您不希望在上述条件下将错误状态置为有效，则可以使用上拉电阻器。	O	24、28、29	1、100、56	
FSIRXA_CLK	FSIRX-A 输入时钟	I	13、33、39、4	50、53、75、91	
FSIRXA_D0	FSIRX-A 主数据输入	I	12、3、32、40	51、64、76、85	
FSIRXA_D1	FSIRX-A 可选附加数据输入	I	11、2、31	52、77、99	
FSITXA_CLK	FSITX-A 输出时钟	O	10、27、7	59、84、93	
FSITXA_D0	FSITX-A 主数据输出	O	26、6、9	58、90、97	
FSITXA_D1	FSITX-A 可选附加数据输出	O	25、5、8	57、74	

				、89	
GPIO0	通用输入/输出 0	I/O	0	79	
GPIO1	通用输入/输出 1	I/O	1	78	
GPIO2	通用输入/输出 2	I/O	2	77	
GPIO3	通用输入/输出 3	I/O	3	76	
GPIO4	通用输入/输出 4	I/O	4	75	
GPIO5	通用输入/输出 5	I/O	5	89	
GPIO6	通用输入/输出 6	I/O	6	97	
GPIO7	通用输入/输出 7	I/O	7	84	
GPIO8	通用输入/输出 8	I/O	8	74	
GPIO9	通用输入/输出 9	I/O	9	90	
GPIO10	通用输入/输出 10	I/O	10	93	
GPIO11	通用输入/输出 11	I/O	11	52	
GPIO12	通用输入/输出 12	I/O	12	51	
GPIO13	通用输入/输出 13	I/O	13	50	

信号名称	说明	引脚类型	GPIO	100PZ	56RSH
GPIO14	通用输入/输出 14	I/O	14	96	
GPIO15	通用输入/输出 15	I/O	15	95	
GPIO16	通用输入/输出 16	I/O	16	54	
GPIO17	通用输入/输出 17	I/O	17	55	
GPIO18_X2	通用输入/输出 18。仅在由 INTOSC 为系统计时且 X1 具有外部下拉电阻器（推荐 1kΩ）时，该引脚及其数字多路复用选项才可使用。	I/O	18	68	
GPIO20	通用输入/输出 20	I/O	20		
GPIO21	通用输入/输出 21	I/O	21		
GPIO22_VFBSW	通用输入/输出 22。默认情况下，该引脚配置为直流/直流模式。如果未使用内部直流/直流稳压器，则可以通过禁用直流/直流并将 GPAAMSEL 寄存器中的位清零，将此引脚配置为通用输入输出 22。	I/O	22	83	
GPIO23_VSW	通用输入/输出 23。默认情况下，该引脚配置为直流/直流模式。如果未使用内部直流/直流稳压器，则可以通过禁用直流/直流并将 GPAAMSEL 寄存器中的位清零，将此引脚配置为通用输入输出 23。该引脚的内部电容约为 100pF。TI 建议使用备用 GPIO，或仅在不需要快速开关响应的应用中使用此引脚。	I/O	23	81	
GPIO24	通用输入/输出 24	I/O	24	56	
GPIO25	通用输入/输出 25	I/O	25	57	
GPIO26	通用输入/输出 26	I/O	26	58	

GPIO27	通用输入/输出 27	I/O	27	59	
GPIO28	通用输入/输出 28	I/O	28	1	
GPIO29	通用输入/输出 29	I/O	29	100	
GPIO30	通用输入/输出 30	I/O	30	98	
GPIO31	通用输入/输出 31	I/O	31	99	
GPIO32	通用输入/输出 32	I/O	32	64	
GPIO33	通用输入/输出 33	I/O	33	53	
GPIO34	通用输入/输出 34	I/O	34	94	
GPIO35	通用输入/输出 35	I/O	35	63	
GPIO37	通用输入/输出 37	I/O	37	61	
GPIO39	通用输入/输出 39	I/O	39	91	
GPIO40	通用输入/输出 40	I/O	40	85	
GPIO41	通用输入/输出 41	I/O	41		
GPIO42	通用输入/输出 42	I/O	42		
GPIO43	通用输入/输出 43	I/O	43		
GPIO44	通用输入/输出 44	I/O	44		
GPIO45	通用输入/输出 45	I/O	45		
GPIO46	通用输入/输出 46	I/O	46		
GPIO47	通用输入/输出 47	I/O	47		
GPIO48	通用输入/输出 48	I/O	48		
GPIO49	通用输入/输出 49	I/O	49		
GPIO50	通用输入/输出 50	I/O	50		

信号 名称	说 明	引 脚类 型	GPI O	100 PZ	56 RSH
GPIO51	通用输入/输出 51	I/O	51		
GPIO52	通用输入/输出 52	I/O	52		
GPIO53	通用输入/输出 53	I/O	53		
GPIO54	通用输入/输出 54	I/O	54		
GPIO55	通用输入/输出 55	I/O	55		
GPIO56	通用输入/输出 56	I/O	56	65	
GPIO57	通用输入/输出 57	I/O	57	66	
GPIO58	通用输入/输出 58	I/O	58	67	
GPIO59	通用输入/输出 59	I/O	59	92	
I2CA_SCL	I2C-A 开漏双向时钟	I/O D	1、 18、 27 、 33 、 37 、8	53 、 59 、 61 、 68 、 74 、78	
I2CA_SDA	I2C-A 开漏双向数据	I/O D	0、 10、 26 、 32 、35	58 、 63 、 64 、 79	

				、93	
LINA_RX	LIN-A 接收	I	29、33、35、59	100、53、63、92	
LINA_TX	LIN-A 发送	O	22、28、32、37、58	1、61、64、67、83	
OUTPUTXBAR1	输出 X-BAR 输出 1	O	2、24、34、58	56、67、77、94	
OUTPUTXBAR2	输出 X-BAR 输出 2	O	25、3、37、59	57、61、76、92	
OUTPUTXBAR3	输出 X-BAR 输出 3	O	14、26、4、5	58、75、89、96	
OUTPUTXBAR4	输出 X-BAR 输出 4	O	15、27、33、6	53、59、95、97	
OUTPUTXBAR5	输出 X-BAR 输出 5	O	28、7	1、84	
OUTPUTXBAR6	输出 X-BAR 输出 6	O	29、9	100、90	
OUTPUTXBAR7	输出 X-BAR 输出 7	O	11、16、30	52、54、98	
OUTPUTXBAR8	输出 X-BAR 输出 8	O	17、31	55、99	
PMBUSA_ALERT	PMBus-A 开漏双向警报信号	I/OD	13、27、37	50、59、61	
PMBUSA_CTL	PMBus-A 控制信号	I	12、18、26、35	51、58、63、68	

信号名称	说明	引脚类型	GPIO	100 PZ	56 RSH
PMBUSA_SCL	PMBus-A 开漏双向时钟	I/OD	15、16、24、3、35	54、56、63、76、95	
PMBUSA_SDA	PMBus-A 开漏双向数据	I/OD	14、17、2、25、34、40	55、57、77、85、94、96	
SCIA_RX	SCI-A 接收数据	I	17、25、28、3、35、9	1、55、57、63、76、90	
SCIA_TX	SCI-A 发送数据	O	16、2、24、29、37、8	100、54、56、61、74、77	
SCIB_RX	SCI-B 接收数据	I	11、13、15、57	50、52、66、95	
SCIB_TX	SCI-B 发送数据	O	10、12、14、18、22、40、56、9	51、65、68、83、85、90、93、96	
SD1_C1	SDFM-1 通道 1 时钟输入	I	17、25	55、57	
SD1_C2	SDFM-1 通道 2 时钟输入	I	27	59	
SD1_C3	SDFM-1 通道 3 时钟输入	I	29、33	100、53	

			、57	、66	
SD1_C4	SDFM-1 通道 4 时钟输入	I	31、59	92、99	
SD1_D1	SDFM-1 通道 1 数据输入	I	16、24	54、56	
SD1_D2	SDFM-1 通道 2 数据输入	I	18、26	58、68	
SD1_D3	SDFM-1 通道 3 数据输入	I	28、32、56	1、64、65	
SD1_D4	SDFM-1 通道 4 数据输入	I	22、30、58	67、83、98	
SPIA_CLK	SPI-A 时钟	I/O	18、3、56、9	65、68、76、90	
SPIA_SIMO	SPI-A 从器件输入，主器件输出 (SIMO)	I/O	16、8	54、74	
SPIA_SOMI	SPI-A 从器件输出，主器件输入 (SOMI)	I/O	10、17	55、93	
SPIA_STE	SPI-A 从器件发送使能 (STE)	I/O	11、5、57	52、66、89	
SPIB_CLK	SPI-B 时钟	I/O	14、22、26、28、32、58	1、58、64、67、83、96	

信号名称	说明	引脚类型	GPIO	100 PZ	56 RSH
SPIB_SIMO	SPI-B 从器件输入，主器件输出 (SIMO)	I/O	24、30、56、7	56、65、84、98	
SPIB_SOMI	SPI-B 从器件输出，主器件输入 (SOMI)	I/O	25、31、57、6	57、66、97、99	
SPIB_STE	SPI-B 从器件发送使能 (STE)	I/O	15、27、29、33、59	10、53、59、92、95	
SYNCOUT	外部 ePWM 同步脉冲	O	6	97	

TDI	JTAG 测试数据输入 (TDI) - TDI 是引脚的默认多路复用器选择。默认情况下，内部上拉处于禁用状态。如果将该引脚用作 JTAG TDI，则应启用内部上拉电阻器或在电路板上添加外部上拉电阻器，以避免输入悬空。	I	35	63	
TDO	JTAG 测试数据输出 (TDO) - TDO 是引脚的默认多路复用器选择。默认情况下，内部上拉处于禁用状态。当没有 JTAG 活动时，TDO 功能将处于三态条件，使这个引脚悬空；内部上拉 电阻应该被启用或者在电路板上增加一个外部上拉电阻来避免 GPIO 输入悬空。	O	37	61	
VFBSW	内部直流/直流稳压器反馈信号。如果使用内部直流/直流稳压器，请将此引脚连接到节点，其中 L(VSW) 连接到 VDD 电源轨（尽可能靠近器件）。	-	22	83	
VSW	内部直流/直流稳压器的开关输出	-	23	81	
X2	晶振振荡器输出	I/O	18	68	
XCLKOUT	外部时钟输出。此引脚从器件中输出所选时钟信号的分频版本。	O	16、18	54、68	

4.3.3 电源与接地

表 4-4.电源与接地

信号名称	说明	引脚类型	通用输入/输出 (GPIO)	100 PZ	56 RSH
VDD	1.2V 数字逻辑电源引脚。TI 建议在每个 VDD引脚附近放置一个最小总电容值约为 20μF 的去耦电容器。当不使用内部稳压器时，去耦电容的确切值应由您的系统电压调节解决方案来确定。			4、46、71、87	
VDDA	3.3V 模拟电源引脚。在每个引脚上放置一个最小值为 2.2μF 且连接至 VSSA 的去耦电容器。			11、34	
VDDIO	3.3V 数字 I/O 电源引脚。在每个引脚上放置一个最小值为 0.1μF 的去耦电容器。			3、47、70、88	
VDDIO_SW	内部直流/直流稳压器的 3.3V 电源引脚。如果使用内部直流/直流稳压器，则应在该引脚上放置一个 20μF 的大容量输入电容。务必将该引脚连接至 VDDIO 引脚。如果需要，可以使用铁氧体磁珠进行隔离，但VDDIO_SW 和VDDIO 必 须由同一电源供电。			80	
VSS	数字接地			45、5、72、86	
VSSA	模拟接地			12、33	
VSS_SW	内部直流/直流稳压器接地。务必将该引脚连接至 VSS 引脚。			82	

4.3.4 测试,JTAG 与复位

表 4-5.测试JTAG与复位

信号名称	说明	引脚类型	通用输入/输出(GPIO)	100 PZ	56 RSH
TCK	带有内部上拉电阻的 JTAG 测试时钟。	I		60	
TMS	带有内部上拉电阻的 JTAG 测试模式选择(TMS)。此串行控制输入在 TCK 上升沿上的 TAP 控制器中计时。该器件没有 TRSTn 引脚。在电路板上应放置一个外部上拉电阻（推荐2.2kΩ）以将 TMS 引脚连接至 VDDIO，从而在正常运行期间将 JTAG 保持在复位状态。	I/O		62	
VREGENZ	具有内部下拉电阻的内部稳压器使能。直接连接到 VSS（低电平）以启用内部 VREG。直接连接到 VDDIO（高电平）以使用外部电源。	I		73	
X1,X2	晶体振荡器或单端时钟输入。器件初始化软件必须在启用晶体振荡器之前配置该引脚。为了使用此振荡器，必须将一个石英晶体电路连接至 X1 和 X2。此引脚也可用于馈入单端 3.3V 电平时钟。不支持 GPIO19。GPIO19 在内部连接至 X1 功能，因此 GPIO19 应该保持在输入模式，并禁用上拉电阻以避免与 X1 时钟功能发生干扰。	I/O		69,68	
XRSn	器件复位（输入）和看门狗复位（输出）。在上电条件下，此引脚由器件驱动为低电平。外部电路也可能会驱动此引脚以使器件复位生效。发生看门狗复位时，此引脚也由 MCU 驱动为低电平。在看门狗复位期间，XRSn 引脚在512 个 OSCCLK 周期的看门狗复位持续时间内被驱动为低电平。应在 XRSn 和 VDDIO 之间放置一个阻值为 2.2kΩ 至 10kΩ 的电阻。如果在 XRSn 和 VSS 之间放置一个电容器进行噪声滤除，则该电容器的容值应为 100nF 或更小。当看门狗复位生效时，这些值允许看门狗在 512个 OSCCLK 周期内正确地将 XRSn 引脚驱动至VOL。这个引脚的输出缓冲器是一个有内部上拉电阻的开漏。如果此引脚由外部器件驱动，则应使用开漏器件进行驱动。如果此引脚由外部器件驱动，则应使用开漏器件进行驱动。	I/OD		2	

4.4 GPIO

4.4.1 GPIO 复用引脚表

0，4，8，12	1	2	3	5	6	7	9	10	11	13	14	15
GPIO0	EPWM1A	QSPIA_D2			I2CA_SDA							
GPIO1	EPWM1B	QSPIA_D2			I2CA_SCL							
GPIO2	EPWM2A			OUTPUT XBAR1	PMBUSA_ SDA		SCIA_TX	FSIRXA_D 1				
GPIO3	EPWM2B	OUTP UT XBAR2		OUTPUT XBAR2	PMBUSA_ SCL	SPIA_CLK	SCIA_RX	FSIRXA_D 0				
GPIO4	EPWM3A	QSPIA_D3		OUTPUT XBAR3	CANA_TX				FSIRXA_ CLK			
GPIO5	EPWM3B		OUTPUT_ XBAR3		CANA_RX	SPIA_STE	FSITXA_ D1					
GPIO6	EPWM4A	OUTPUT_ XBAR4	SYNCOUT	EQEP1_A	CANB_TX	SPIB_ SOMI (QSPIB_ D1)	FSITXA_ D0					
GPIO7	EPWM4B		OUTPUT_ XBAR5	EQEP1_B	CANB_RX	SPIB_ SIMO (QSPIB_ D0)	FSITXA_ CLK					
GPIO8	EPWM5A	CANB_TX	ADCSOCAO	EQEP1_ STROBE	SCIA_TX	SPIA_ SIMO (QSPIA_ D0)	I2CA_SCL	FSITXA_ D1				
GPIO9	EPWM5B	SCIB_TX	OUTPUT_ XBAR6	EQEP1_ INDEX	SCIA_RX	SPIA_CLK		FSITXA_ D0				
GPIO10	EPWM6A	CANB_RX	ADCSOCBO	EQEP1_A	SCIB_TX	SPIA_ SOMI (QSPIA_ D1)	I2CA_SDA	FSITXA_ CLK				
GPIO11	EPWM6B	SCIB_RX	OUTPUT_ XBAR7	EQEP1_B	SCIB_RX	SPIA_STE	FSIRXA_ D1					
GPIO12	EPWM7A	CANB_TX	QSPIB_D2	EQEP1_ STROBE	SCIB_TX	PMBUSA_ CTL	FSIRXA_ D0					
GPIO13	EPWM7B	CANB_RX	QSPIB_D2	EQEP1_ INDEX	SCIB_RX	PMBUSA_ ALERT	FSIRXA_ CLK					
GPIO14	EPWM8A	SCIB_TX			OUTPUT_ XBAR3	PMBUSA_ SDA	SPIB_CLK	EQEP2_A				
GPIO15	EPWM8B	SCIB_RX	QSPIB_D3		OUTPUT_ XBAR4	PMBUSA_ SCL	SPIB_STE	EQEP2_B				
GPIO16	SPIA_ SIMO (QSPIA_ D0)	CANB_TX	OUTPUT_ XBAR7	EPWM5_A	SCIA_TX	SD1_D1	EQEP1_ STROBE	PMBUSA_ SCL	XCLKOUT			
GPIO17	SPIA_	CANB_RX	OUTPUT_	EPWM5_B	SCIA_RX	SD1_C1	EQEP1_	PMBUSA_				

	SOMI (QSPIA_ D1)		XBAR8				INDEX	SDA				
GPIO18_ X2	注意：GPIO18仅用作外部X2晶振接入引脚，TI对应的GPIO18复用表映射到GPIO41											
GPIO20												
GPIO21												
GPIO22_ VFBWS	注意：GPIO22仅用作外部VFBWS接入引脚，TI对应的GPIO22复用表映射到GPIO42											
GPIO23_ VSW												
GPIO24	OUTPUT_ XBAR1	EQEP2_A		EPWM8_A	SPIB_ SIMO (QSPIB_ D0)	SD1_D1		PMBUSA_ SCL	SCIA_TX	ERRORS TS		
GPIO25	OUTPUT_ XBAR2	EQEP2_B			SPIB_ SOMI (QSPIB_ D1)	SD1_C1	FSITXA_ D1	PMBUSA_ SDA	SCIA_RX			
GPIO26	OUTPUT_ XBAR3	EQEP2_ INDEX	CAN0_ STBY	OUTPUT_ XBAR3	SPIB_CLK	SD1_D2	FSITXA_ D0	PMBUSA_ CTL	I2CA_SDA			
GPIO27	OUTPUT_ XBAR4	EQEP2_ STROBE	CAN1_ STBY	OUTPUT XBAR4	SPIB_STE	SD1_C2	FSITXA_ CLK	PMBUSA_ ALERT	I2CA_SCL			
GPIO28	SCIA_RX	CAN1_ STBY	EPWM7_A	OUTPUT_ XBAR5	EQEP1_A	SD1_D3	EQEP2_ STROBE	LINA_TX	SPIB_CLK	ERRORS TS		
GPIO29	SCIA_TX	CAN1_ STBY	EPWM7_B	OUTPUT_ XBAR6	EQEP1_B	SD1_C3	EQEP2_ INDEX	LINA_RX	SPIB_STE	ERRORS TS		
GPIO30	CANA_RX	EPWM9A	SPIB_ SIMO (QSPIB_ D0)	OUTPUT_ XBAR7	EQEP1_ STROBE	SD1_D4						
GPIO31	CANA_TX	EPWM9B	SPIB_ SOMI (QSPIB_ D1)	OUTPUT XBAR8	EQEP1_ INDEX	SD1_C4	FSIRXA_ D1					
GPIO32	I2CA_SDA		SPIB_CLK	EPWM8_B	LINA_TX	SD1_D3	FSIRXA_ D0	CANA_TX				
GPIO33	I2CA_SCL		SPIB_STE	OUTPUT_ XBAR4	LINA_RX	SD1_C3	FSIRXA_ CLK	CANA_RX				
GPIO34	OUTPUT_ XBAR1	QSPIB_D3	CAN0_ STBY		PMBUSA_ SDA							
GPIO35	SCIA_RX		I2CA_SDA	CANA_RX	PMBUSA_ SCL	LINA_RX	EQEP1_A	PMBUSA_ CTL				TDI
GPIO37	OUTPUT_ XBAR2	QSPIA_D3	I2CA_SCL	SCIA_TX	CANA_TX	LINA_TX	EQEP1_B	PMBUSA_ ALERT				TDO
GPIO39		EPWM10A			CANB_RX	FSIRXA_C LK						
GPIO40	CAN0_ STBY	EPWM10B			PMBUSA_ SDA	FSIRXA_ D0	SCIB_TX	EQEP1_A				

GPIO41	SPIA_CLK	SCIB_TX	CANA_RX	EPWM6A	I2CA_SCL	SD1_D2	EQEP2_A	PMBUSA_SCL	XCLKOUT			
GPIO42	EQEP1_STROBE		SCIB_TX		SPIB_CLK	SD1_D4	LINA_TX					
GPIO43												
GPIO44												
GPIO45												
GPIO46												
GPIO47												
GPIO48												
GPIO49												
GPIO50												
GPIO51												
GPIO52												
GPIO53												
GPIO54												
GPIO55												
GPIO56	SPIA_CLK	EPWM11A		EQEP2_STROBE	SCIB_TX	SD1_D3	SPIB_SIMO (QSPIB_D0)		EQEP1_A			
GPIO57	SPIA_STE	EPWM11B		EQEP2_INDEX	SCIB_RX	SD1_C3	SPIB_SOMI (QSPIB_D1)		EQEP1_B			
GPIO58		EPWM12A		OUTPUT_XBAR1	SPIB_CLK	SD1_D4	LINA_TX	CANB_TX	EQEP1_STROBE			
GPIO59		EPWM12B		OUTPUT_XBAR2	SPIB_STE	SD1_C4	LINA_RX	CANB_RX	EQEP1_INDEX			
GPIO60	XD31											
GPIO61	XD30											
GPIO62	XD29											
GPIO63	XD28											
GPIO64	XD27											
GPIO65	XD26											
GPIO66	XD25											
GPIO67	XD24											
GPIO68	XD23											
GPIO69	XD22											
GPIO70	XD21											
GPIO71	XD20											
GPIO72	XD19											
GPIO73	XD18											
GPIO74	XD17											
GPIO75	XD16											
GPIO76	XD15											
GPIO77	XD14											

GPIO78	XD13											
GPIO79	XD12											
GPIO80	XD11											
GPIO81	XD10											
GPIO82	XD9											
GPIO83	XD8											
GPIO84	XD7											
GPIO85	XD6											
GPIO86	XD5											
GPIO87	XD4											
GPIO88	XD3											
GPIO89	XD2											
GPIO90	XD1											
GPIO91	XD0											
GPIO92	XA1											
GPIO93	XA2											
GPIO94	XA3											
GPIO95	XA4											
GPIO96	XA5											
GPIO97	XA6											
GPIO98	XA7											
GPIO99	XA8											
GPIO100	XA9											
GPIO101	XA10											
GPIO102	XA11											
GPIO103	XA12											
GPIO104	XA13											
GPIO105	XA14											
GPIO106	XA15											
GPIO107	XA16											
GPIO108	XA17											
GPIO109	XA18											
GPIO110	XA19											
GPIO111	XA0/XWE1											
GPIO112	XWE0											
GPIO113	XR/W											
GPIO114	XZCS0											
GPIO115	XZCS6											
GPIO116	XZCS7											
GPIO117	XHOLDA											
GPIO118	EM1DQM0											
GPIO119	EM1DQM1											
GPIO120	EM1DQM2											
GPIO121	EM1DQM3											
GPIO122	SOE											
GPIO123	EM1WE											

GPIO124	SADS/SRE											
GPIO125	XREADY											
GPIO126	XHOLD											

4.4.2 ADC 引脚上的数字输入（AIO）

GPIO 端口 H（GPIO224-GPIO255）与模拟引脚复用，这也称为AIO。这些引脚只能在输入模式下 工作。默认情况下，这些引脚将使用为模拟引脚功能，同时 GPIO 为高阻状态。GPHAMSEL 寄存器被用来配置这些引脚的数字或模拟操作。

注：若将带尖锐边沿（高 dv/dt）的数字信号连接到AIO，则相邻的模拟信号可能发生串扰。因此，如果相邻通道用于模拟功能，则用户应限制连接到AIO 的信号的边沿速率。

4.4.3 GPIO 输入 X-BAR

输入 X-BAR 用于将信号从 GPIO 路由到许多不同的 IP 块，如 ADC、eCAP、ePWM 和外部中断（见图 4-5）。表 4-8 列举了输入 X-BAR 目的。更多有关输入 X-BAR 的详细配置，请参见《QX320F28004x参考手册》的交叉开关（X-BAR）章节。

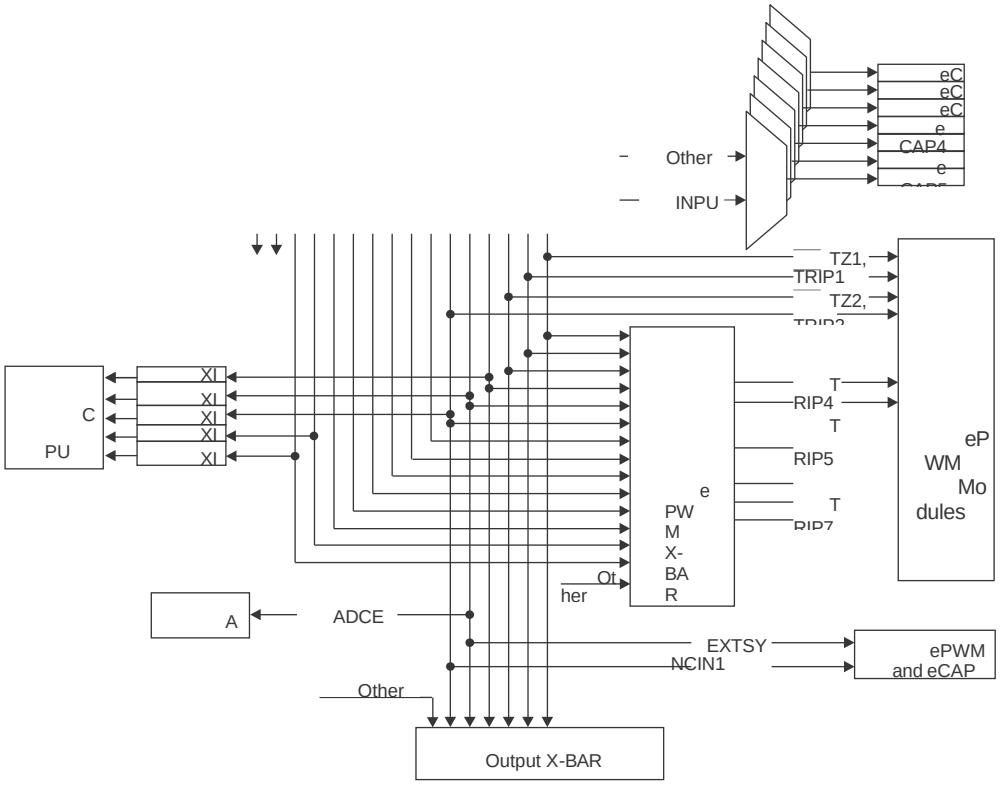


图 4-5.输入 X-BAR

表 4-8.输入 X-BAR 目标模块

输入	目标
输入 1	eCAPx、ePWM X-BAR、ePWM[TZ1,TRIP1]、输出 X-BAR
输入 2	eCAPx、ePWM X-BAR、ePWM[TZ2,TRIP2]、输出 X-BAR
输入 3	eCAPx、ePWM X-BAR、ePWM[TZ3,TRIP3]、输出 X-BAR
输入 4	eCAPx、ePWM X-BAR、XINT1、输出 X-BAR
输入 5	eCAPx、ePWM X-BAR、XINT2、ADCEXTSOC、EXTSYNCIN1、输出 X-BAR
输入 6	eCAPx、ePWM X-BAR、XINT3、ePWM[TRIP6]、EXTSYNCIN2、输出 X-BAR
输入 7	eCAPx、ePWM X-BAR
输入 8	eCAPx、ePWM X-BAR
输入 9	eCAPx、ePWM X-BAR
输入 10	eCAPx、ePWM X-BAR
输入 11	eCAPx、ePWM X-BAR
输入 12	eCAPx、ePWM X-BAR
输入 13	eCAPx、ePWM X-BAR、XINT4
输入 14	eCAPx、ePWM X-BAR、XINT5
INPUT15	eCAPx
INPUT16	eCAPx

4.4.4 GPIO 输出 X-BAR 和 ePWM X-BAR

输出 X-BAR 具有八个路由到 GPIO 模块的输出。ePWM X-BAR 具有八个路由到每个 ePWM 模块 的输出。图 4-6 显示了输出 X-BAR 和 ePWM X-BAR 的源。有关输出 X-BAR 和 ePWM X-BAR 的详细信息，请参阅《QX320F28004x 参考手册》的交叉开关（X-BAR）章节。

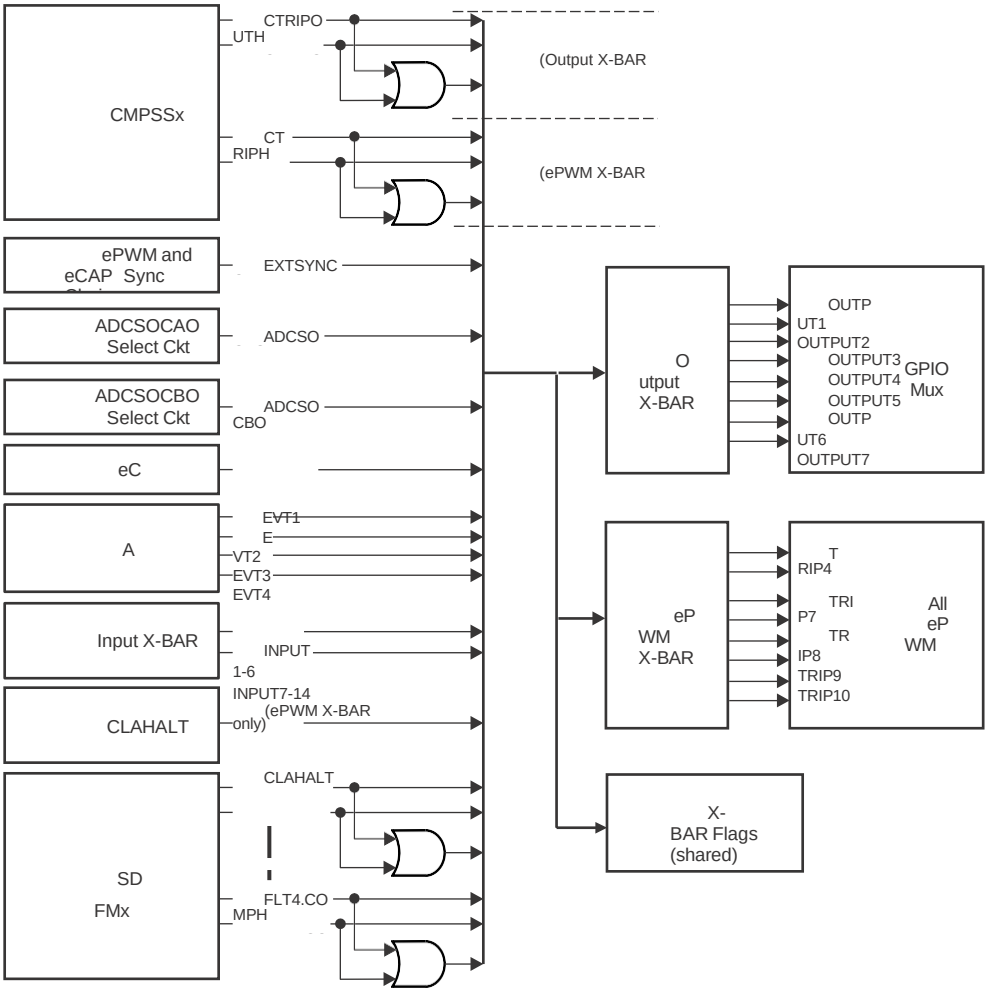


图 4-6.输出 X-BAR和 ePWM X-BAR的源

4.5 GPIO 引脚内部上拉/下拉

QX320F280049C 上的一些引脚有内部上拉或下拉功能。表 5-1 列举了使用时的上拉下拉方向。

默认GPIO 引脚上拉是关闭的，可以通过软件启用。为避免任何悬空的未键合输入，Boot ROM 将特 定封装中未键合的GPIO 引脚启用内部上拉。表 5-1 的其他引脚的上拉与下拉总是打开的，并且不能被禁用。

表 4-9.带有内部上拉和下拉的引脚

引脚	复位 (XRSn = 0)	器件引导	应用
GPIOx（包括 AIO）	禁用上拉	禁用上拉(1)	应用定义
GPIO35/TDI	禁用上拉		应用定义
GPIO37/TDO	禁用上拉		应用定义
TCK	上拉有效		
TMS	上拉有效		
VREGENZ	下拉有效		
XRSn	上拉有效		
其他引脚	上拉或下拉未 存在		

(1) 给定封装中未绑定的引脚将具有由引导 ROM 启用内部上拉。

4.6 未使用引脚的连接

对于无需使用F28004x 所有功能的应用，表 4-10 列举了未使用引脚的可接受条件。表 4-10 中 的引脚选择为复用时，其任意选择都是能接受的。表 4-10 未列举的引脚，必须根据节 4 所述进行连接。

表 4-10.未使用引脚的连接

信号名称	可接受的做法
模拟	
带有 DACx_OUT 的模拟输入引脚	• 无连接 • 通过 4.7kΩ 或更大的电阻连接到 VSSA
带PGAx_OUTF 的模拟输入引脚	• 无连接 • 通过 4.7kΩ 或更大的电阻连接到 VSSA
模拟输入引脚（DACx_OUT 和 PGAx_OUTF 除外）	• 无连接 • 绑定到 VSSA • 通过电阻器连接到 VSSA
PGAx_GND	绑定到 VSSA
VREFHIx	连接至 VDDA（仅在应用中未使用 ADC 或DAC 时适用）
VREFLOx	绑定到 VSSA
数字	
FLT1（闪存测试引脚 1）	• 无连接 • 通过 4.7kΩ 或更大的电阻连接到 VSS
FLT2（闪存测试引脚 2）	• 无连接 • 通过 4.7kΩ 或更大的电阻连接到 VSS
GPIOx	• 无连接（启用内部上拉的输入模式） • 无连接（禁用内部上拉的输出模式） • 上拉或下拉电阻器（任意值电阻器，输入模式，禁用内部上拉）
GPIO35/TDI	选择 TDI 多路复用器选项（默认）时，GPIO 处于输入模式。 • 启用内部上拉电阻 • 外部上拉电阻
GPIO37/TDO	当TDO 复用选项被选中时（默认），GPIO 只在 JTAG 活动期间处于输出模式；否则，它处于三态条件。必须对该引脚进行偏置，以避免在输入缓冲器上产生额外电流。 • 启用内部上拉电阻 • 外部上拉电阻
TCK	• 无连接 • 上拉电阻器
TMS	上拉电阻器
VREGENZ	如果未使用内部稳压器，则连接到 VDDIO
X1	绑定到 VSS
X2	无连接
电源和接地	
VDD	所有 VDD 引脚必须按照节6.3 所述进行连接。
VDDA	如果未使用专用模拟电源，则连接到 VDDIO。
VDDIO	所有 VDDIO 引脚必须按照节6.3 所述进行连接。

VDDIO_SW	始终连接到 VDDIO。
信号名称	**可接受的做法**
VSS	所有 VSS 引脚必须连接到电路板接地。
VSS_SW	始终连接到 VSS。
VSSA	如果未使用模拟接地，则连接到 VSS。

5 规格

5.1 绝对最大值范围

5.2 产品 ESD 范围

5.3 推荐工作条件

5.4 耗电概述

5.4.1 系统电流消耗（外部电源）

5.4.2 工作模式测试描述

5.4.4 减少电流消耗

5.5 电气特性

5.6 热阻特征

5.6.1 PK 封装的热阻特性

5.6.2 PZ 封装的热阻特性

5.6.3 PM 封装的热阻特性

5.6.4 RSH 封装的热阻特性

5.7 散热设计注意事项

5.8 模拟外设

本节介绍了模拟子系统模块。

设备的模拟模块包括 ADC、PGA、温度传感器、缓冲 DAC 和 CMPSS。

模拟子系统具有如下特点：

- 灵活的电压参考

  -ADC 参考 VREFHIx 和 VREFLOx 引脚

- VREFHIx 引脚电压可由外部驱动或由内部带隙电压基准生成。
- 内部电压基准范围可选为 0V 至 3.3V 或 0V 至 2.5V。
- 缓冲 DAC 以 VREFHIx 和 VREFLOx 为基准。

  –或者，这些 DAC 可以以 VDAC 引脚和 VSSA 为基准。

- -比较器 DAC 参考 VDDA 和 VSSA

  –或者，这些 DAC 能参考 VDAC 和 VSSA 引脚。

- 灵活的引脚使用

  –缓冲 DAC 输出、比较器子系统输入、 PGA 功能和数字输入与 ADC 输入进行多路复用

  – 内部连接到所有 ADC 上的 VREFLO ，用于偏移量自校准

图 5-6 展示了 100pin 引脚 PZ LQFP 的模拟子系统方框图。

表5-14 列举了模拟引脚与内部连接。表 5-8 列举了模拟信号的描述。图 5-9 展示了模拟部分连接。

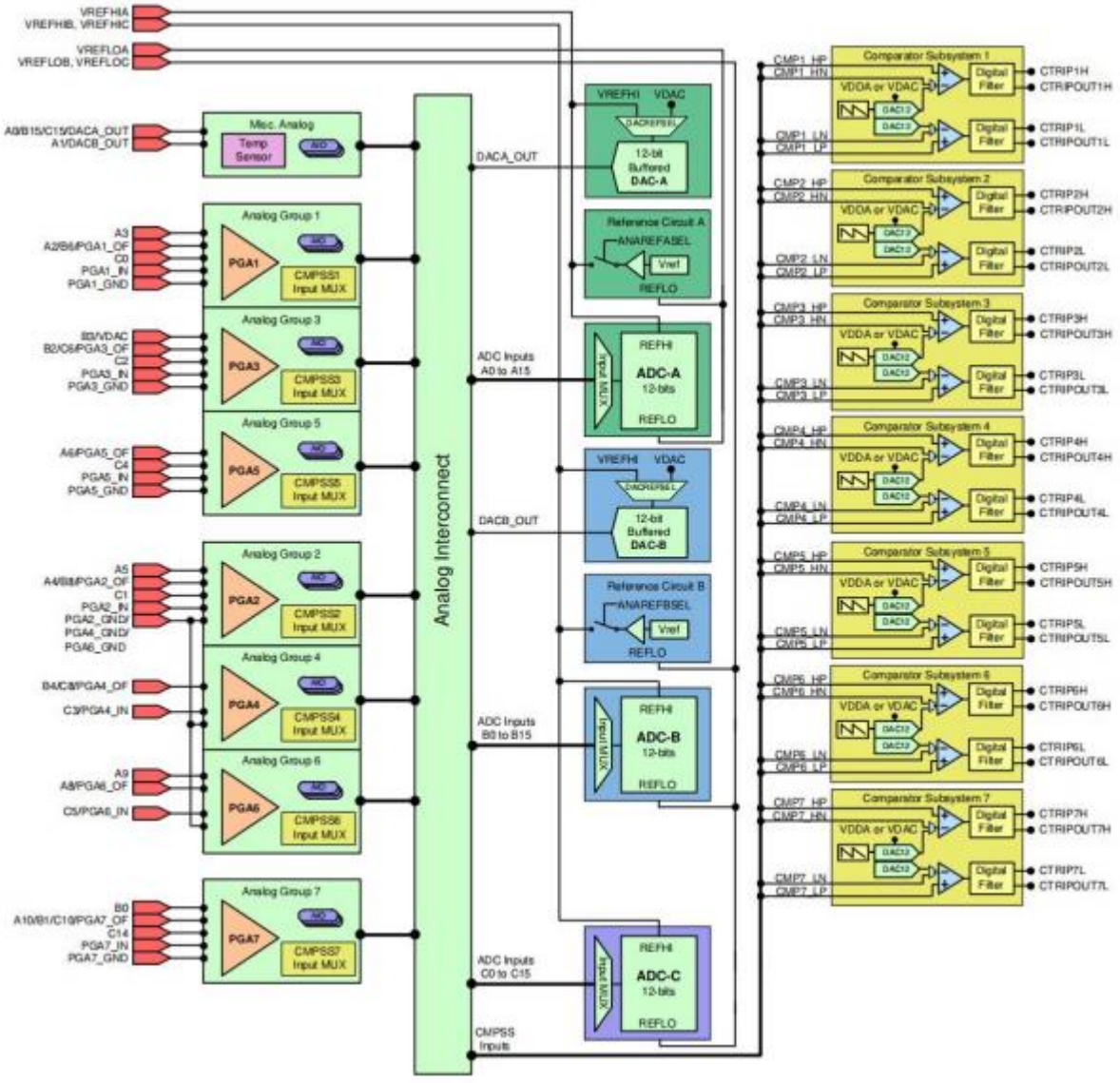
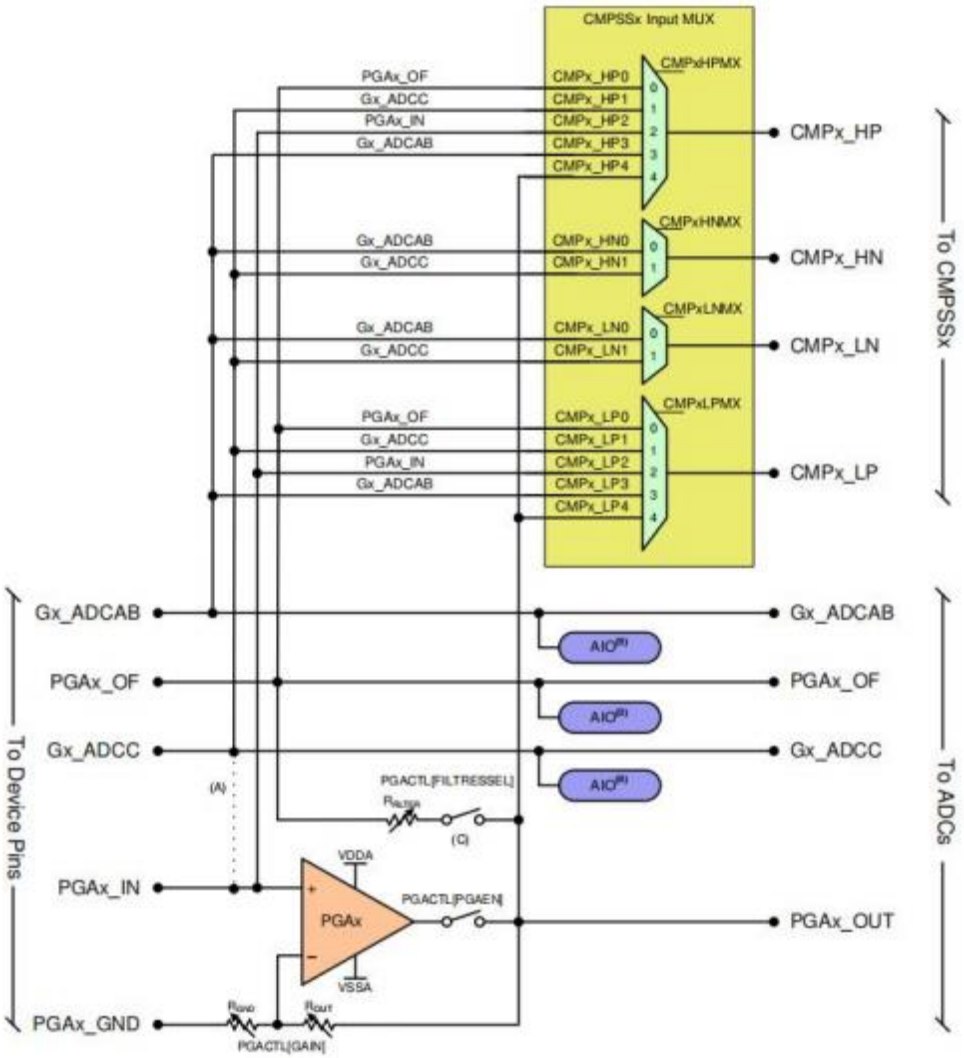


图 5-6 模拟子系统框图（100pin PZ LQFP 封装）

图 5-9 显示了模拟组连接。请参阅模拟引脚和内部连接表，了解每个封装的每个组的特定连接。模拟信号说明表提供了模拟信号的说明。



A. 在较低引脚数的封装中，Gx_ADCC 的输入将与 PGA 输入共用一个引脚。如果未使用 PGA 输入，则 ADCC 输入可允许将该引脚用作 ADC 输入、负比较器输入或数字输入。

B. AIO 仅支持数字输入模式。

C. PGA RFILTER 路径在某些器件版本上不可用。

图 5-9 模拟部分连接

表 5-11.模拟引脚与内部连接

引脚名称	组名称	封装			始终连接（无多路复用器）					比较器子系统（多路复用器）				AIO 输入
		100 PZ	64 PM	56 RSH	ADCA	ADCB	ADCC	PGA	DAC	高正	高负	低正	低负	
VREFHIA	-	25	16	14										
VREFHIB	-	24												
VREFHIC	-													
VREFLOA	-	27	17	15	A13									
VREFLOB	-	26				B13								
VREFLOC	-						C13							
模拟组 1										**CMP1**				
A3	G1_ADCAB	10			A3					HPMXSEL = 3	HNMXSEL = 0	LPMXSEL = 3	LNMXSEL = 0	AIO233
A2/B6/PGA1_OF	PGA1_OF	9	9	8	A2	B6		PGA1_OF		HPMXSEL = 0		LPMXSEL = 0		AIO224
C0	G1_ADCC	19	12	10			C0			HPMXSEL = 1	HNMXSEL = 1	LPMXSEL = 1	LNMXSEL = 1	AIO237
PGA1_IN	PGA1_IN	18						PGA1_IN		HPMXSEL = 2		LPMXSEL = 2		
PGA1_GND	PGA1_GND	14	10	9				PGA1_GND						
-	PGA1_OUT(1)				A11	B7		PGA1_OUT		HPMXSEL = 4		LPMXSEL = 4		
模拟组 2										**CMP2**				
A5	G2_ADCAB	35			A5					HPMXSEL = 3	HNMXSEL = 0	LPMXSEL = 3	LNMXSEL = 0	AIO234
A4/B8/PGA2_OF	PGA2_OF	36	23	21	A4	B8		PGA2_OF		HPMXSEL = 0		LPMXSEL = 0		AIO225
C1	G2_ADCC	29	18	16			C1			HPMXSEL = 1	HNMXSEL = 1	LPMXSEL = 1	LNMXSEL = 1	AIO238
PGA2_IN	PGA2_IN	30						PGA2_IN		HPMXSEL = 2		LPMXSEL = 2		
PGA2_GND	PGA2_GND	32	20	18				PGA2_GND						
-	PGA2_OUT(1)				A12	B9		PGA2_OUT		HPMXSEL = 4		LPMXSEL = 4		
模拟组 3										**CMP3**				
B3/VDAC	G3_ADCAB	8	8	7		B3			VDAC	HPMXSEL = 3	HNMXSEL = 0	LPMXSEL = 3	LNMXSEL = 0	AIO242
B2/C6/PGA3_OF	PGA3_OF	7	7	6		B2	C6	PGA3_OF		HPMXSEL = 0		LPMXSEL = 0		AIO226
C2	G3_ADCC	21	13	11			C2			HPMXSEL = 1	HNMXSEL = 1	LPMXSEL = 1	LNMXSEL = 1	AIO244
PGA3_IN	PGA3_IN	20						PGA3_IN		HPMXSEL = 2		LPMXSEL = 2		

引脚名称	组名称	封装			始终连接（无多路复用器）					比较器子系统（多路复用器）				AIO 输入
		100 PZ	64 PM	56 RSH	ADCA	ADCB	ADCC	PGA	DAC	高正	高负	低正	低负	
PGA3_GND	PGA3_GND	15	10	9				PGA3_GND						
-	PGA3_OUT(1)					B10	C7	PGA3_OUT		HPMXSEL = 4		LPMXSEL = 4		
模拟组 4										**CMP4**				
B5	G4_ADCAB					B5				HPMXSEL = 3	HNMXSEL = 0	LPMXSEL = 3	LNMXSEL = 0	AIO243
B4/C8/PGA4_OF	PGA4_OF	39	24	22		B4	C8	PGA4_OF		HPMXSEL = 0		LPMXSEL = 0		AIO227
C3	G4_ADCC	31	19	17			C3			HPMXSEL = 1	HNMXSEL = 1	LPMXSEL = 1	LNMXSEL = 1	AIO245
PGA4_IN	PGA4_IN							PGA4_IN		HPMXSEL = 2		LPMXSEL = 2		
PGA4_GND	PGA4_GND	32	20	18				PGA4_GND						
-	PGA4_OUT(1)					B11	C9	PGA4_OUT		HPMXSEL = 4		LPMXSEL = 4		
模拟组 5										**CMP5**				
A7	G5_ADCAB				A7					HPMXSEL = 3	HNMXSEL = 0	LPMXSEL = 3	LNMXSEL = 0	AIO235
A6/PGA5_OF	PGA5_OF	6	6		A6			PGA5_OF		HPMXSEL = 0		LPMXSEL = 0		AIO228
C4	G5_ADCC	17	11				C4			HPMXSEL = 1	HNMXSEL = 1	LPMXSEL = 1	LNMXSEL = 1	AIO239
PGA5_IN	PGA5_IN	16						PGA5_IN		HPMXSEL = 2		LPMXSEL = 2		
PGA5_GND	PGA5_GND	13	10	9				PGA5_GND						
-	PGA5_OUT(1)				A14			PGA5_OUT		HPMXSEL = 4		LPMXSEL = 4		
模拟组 6										**CMP6**				
A9	G6_ADCAB	38			A9					HPMXSEL = 3	HNMXSEL = 0	LPMXSEL = 3	LNMXSEL = 0	AIO236
A8/PGA6_OF	PGA6_OF	37			A8			PGA6_OF		HPMXSEL = 0		LPMXSEL = 0		AIO229
C5	G6_ADCC	28					C5			HPMXSEL = 1	HNMXSEL = 1	LPMXSEL = 1	LNMXSEL = 1	AIO240
PGA6_IN	PGA6_IN							PGA6_IN		HPMXSEL = 2		LPMXSEL = 2		
PGA6_GND	PGA6_GND	32	20	18				PGA6_GND						

引脚名称	组名称	封装			始终连接（无多路复用器）					比较器子系统（多路复用器）				AIO 输入
		100 PZ	64 PM	56 RSH	ADCA	ADCB	ADCC	PGA	DAC	高正	高负	低正	低负	
-	PGA6_OUT(1)				A15			PGA6_OUT		HPMXSEL = 4		LPMXSEL = 4		
模拟组 7										CMP7				
B0	G7_ADCAB	41				B0				HPMXSEL = 3	HNMXSEL = 0	LPMXSEL = 3	LNMXSEL = 0	AIO241
A10/B1/C10/PGA7_OF	PGA7_OF(2)	40	25	23	A10	B1	C10	PGA7_OF		HPMXSEL = 0		LPMXSEL = 0		AIO230
C14	G7_ADCC	44					C14			HPMXSEL = 1	HNMXSEL = 1	LPMXSEL = 1	LNMXSEL = 1	AIO246
PGA7_IN	PGA7_IN	43						PGA7_IN		HPMXSEL = 2		LPMXSEL = 2		
PGA7_GND	PGA7_GND	42						PGA7_GND						
-	PGA7_OUT(1)					B12	C11	PGA7_OUT		HPMXSEL = 4		LPMXSEL = 4		
其他模拟														
A0/B15/C15/DACA_OUT		23	15	13	A0	B15	C15		DACA_OUT					AIO231
A1/DACB_OUT		22	14	12	A1				DACB_OUT					AIO232
C12							C12							AIO247
-	温度传感器(1)					B14								

表 5-12.模拟信号说明

信号名称	说明
AIOx	AIO 引脚的数字输入
Ax	ADC A输入
Bx	ADC B 输入
Cx	ADC C输入
CMPx_DACH	比较器子系统高电平 DAC 输出
CMPx_DACL	比较器子系统低电平 DAC 输出
CMPx_HNy	比较器子系统高电平比较器负输入

信号名称	说明
CMPx_HPy	比较器子系统高电平比较器正输入
CMPx_LNy	比较器子系统低电平比较器负输入
CMPx_LPy	比较器子系统低电平比较器正输入
DACx_OUT	缓冲 DAC 输出
PGAx_GND	PGA 接地

PGAx_IN	PGA 输入
PGAx_OF	滤波器的 PGA 输出
PGAx_OUT	到内部 ADC 的 PGA 输出
温度传感器	内部温度传感器
VDAC	片上 DAC 的可选外部基准电压。无论是用于 ADC 输入还是 DAC 基准 ，此引脚上有一个连接 至 VSSA 且无法禁用的 100pF 电容器。如果将此引脚用作片上 DAC 的基准 ，请在此引脚上放 置至少一个 1μF 电容器。

5.8.1 模数转换器（ADC）

ADC 模块是一个分辨率为 12 位的逐次逼近(SAR)型 ADC。ADC由一个核心和一个封装器组成。核心由模拟电路组成，包括通道选择MUX、采样保持（S/H）电路、逐次逼近电路、电压参考电路和其他模拟支持电路。包装器由配置和控制ADC的数字电路组成。这些电路包括用于可编程转换的逻辑、结果寄存器、与模拟电路的接口、与外围总线的接口、后处理电路以及与其他片上模块的接口。

每个ADC模块由一个采样保持（s/h）电路组成。ADC模块设计为在同一芯片上多次复制，允许多个ADC同时采样或独立操作。

每个 ADC 有如下特点：

- 12 位分辨率
- 外部参考比例通过 VREFHI/VREFLO 配置；
- 内部可选参考为 2.5或者3.3V；
- 单端输入和差分输入；
- 最大支持 16 通道输入复用；
- 20个可配置 SOC；
- 20 个可单独寻址的结果寄存器；
- 多个触发源：

  -S/W：软件立即启动

  -所有 ePWM：ADCSOC A 或 B

-GPIO XINT2

-CPU Timers 0/1/2

- 四个灵活的PIE中断
- 四个后处理模块，每个模块包括：

-饱和偏置量校准

-设定点计算的偏差

-具有中断和 ePWM 跳闸功能以及高电平、低电平、过零比较

-触发采样延迟捕获

注：并非每个通道都可以从所有 ADC 输出引脚，具体请参考节 6 确定哪个通道可用。

ADC 内核和 ADC 封装器的方框图如图 5-10 所示。

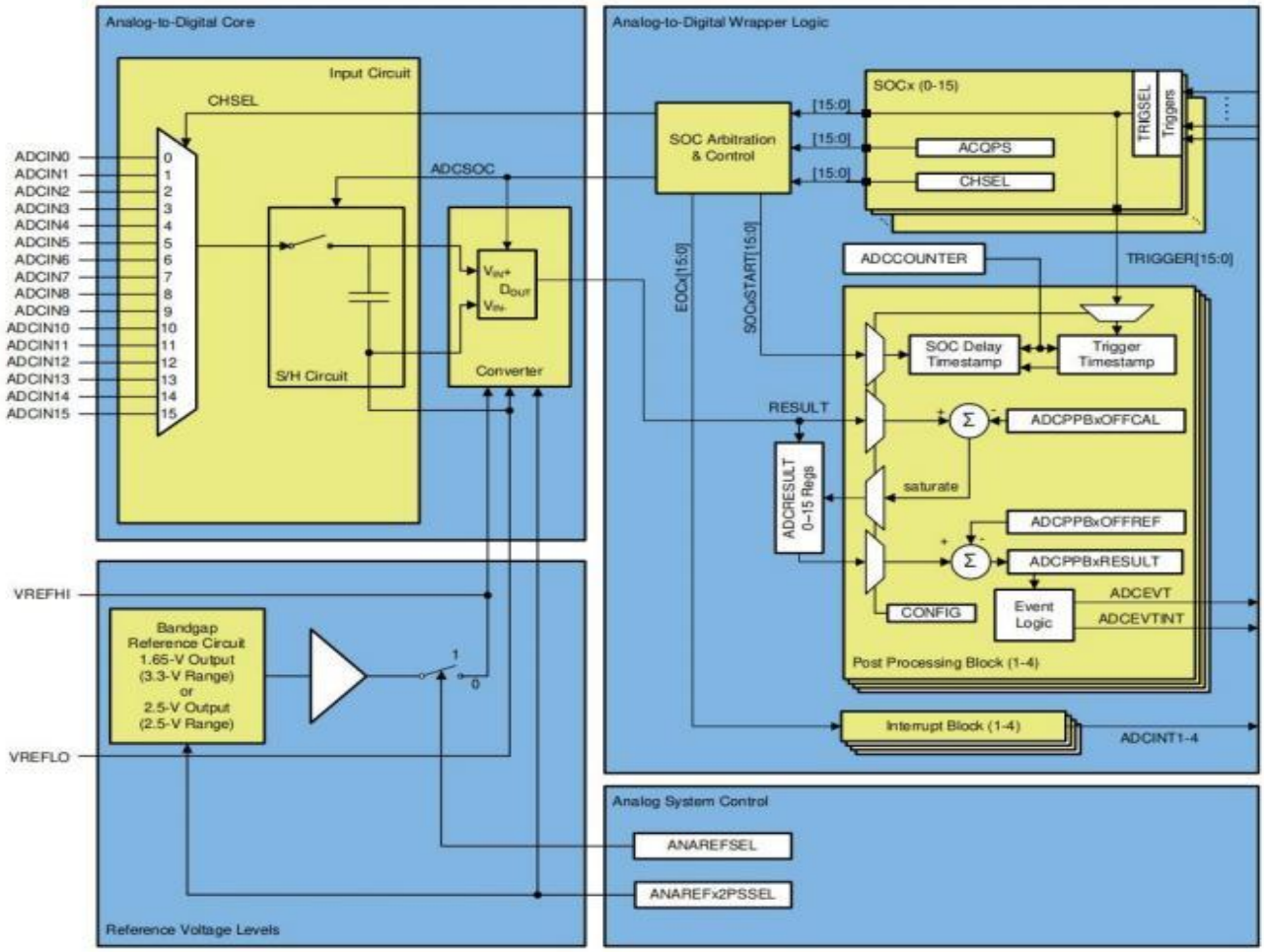


图 5-10 ADC 模块方框图

5.8.1.1 结果寄存器映射

系统中每个存储器总线控制器的 ADC 结果和 ADC PPB 结果是相同的。总线控制器包括特定器件系列和器件型号上的 CPU 、CLA 和 DMA。对于每个总线控制器，无需进行访问配置即可读取结果寄存器，并且在多个总线控制器尝试同时读取 ADC 结果时不会发生冲突。

5.8.1.2 ADC 配置

ADC模块的通道选择、采样时间和触发源是由SOCx单独控制，其他配置由每个ADC模块全局控制。表 5-13总结了ADC所有可配置的选项。

表 5-13 ADC配置选项

选项	配置
Clock	每个ADC模块(1)
分辨率	不可配置（12bits）
输入模式	单端或者差分
参考电压	每个ADC模块（外部或者内部）
通道选择	每个SOCx寄存器
触发源	每个SOCx寄存器
采样时间	每个SOCx寄存器
EOC的位置	每个ADC模块

(1) 这些值写入不同的ADC模块可能会导致ADC运行异步。有关ADC何时同步或异步操作的指导，

注：请参阅《QX320F28004x 参考手册》模数转换器(ADC)章节的确保同步操作部分。

5.8.1.3 ADC 电气数据与时序

表 5-14 列举了ADC 工作条件。表 5-15 列举了 ADC 电气特性。

5.8.1.3.1 ADC工作条件

注：

(1)ADC输入应在工作期间保持低于VDDA+0.3V。若ADC输入超过该值，设备的内部参考VREF将会受到干扰，将影响使用相同VREF的其他ADC或DAC输入的结果。

(2) VREFHI 引脚必须保持低于 VDDA+0.3V， 以确保常工作。若 VREFHI 超过该值，阻塞电路将激活，VREFHI 的内部值可能浮动到 0V，将导致不正确的 ADC 转换或者 DAC 输出。

在自然通风条件下的工作温度范围内测得（除非另作说明）

表 5-14.ADC 工作条件

参数	测试条件	最小值	典型值	最大值	单位
ADCCLK（来自于 PERx.SYSCLK)	160MHz SYSCLK	20	40	53.3	MHz
采样速率	160MHz SYSCLK	1.4	2.8	3.8	MSPS
采样窗口持续（通过 PERx.SYSCLK 与 ACQPS 设置）(1)	160MHz SYSCLK	4.5	4.5	4.5	SYSCLK
VREFHI	外部参考	2.4	2.5或3.0	VDDA	V
VREFHI	内部参考=3.3V		1.65		V
	内部参考=2.5V		2.5		V
VREFLO		VSSA	VSSA	VSSA	V
VREFHI-VREFLO		2.4		VDDA	V
转换范围	内部参考=3.3V	0		3.3	V
	内部参考=2.5V	0		2.5	V
	外部参考	VREFLO		VREFHI	V

(1) 该采样窗口必须至少达到正常 ADC 操作的 1 个 ADCCLK 周期长度；

(2) 内部参考模式，设备VREFHI 引脚由参考电压驱动。用户在该模式时不应使用引脚驱动。

5.8.1.3.2 ADC 特性

在自然通风条件下的工作温度范围内测得（除非另作说明）

表 5-15. ADC 特性

参数	测试条件	最小值	典型值	最大值	单位
通用					
ADCCLK转换周期	160MHz SYSCLK	10.1		11	ADCCLKs
上电时间	外部参考模式			500	μs
	内部参考模式			5000	μs
	内部参考模式，可选择2.5V或3.3V			5000	μs
VREFHI 输入电流(1)			130		μA
内部基准电容值(2)		2.2			μF
外部基准电容值(2)		2.2			μF
直流特性					
增益误差	内部基准电压	-45		4.5	LSB
	外部基准	-5	±3	5	LSB
偏移量误差		-5	±2	5	LSB
通道间增益误差			±2		LSB
通道间偏移量误差			±2		LSB
ADC 间增益误差	所有 ADC 的 VREFHI 和 VREFLO 都相同		±4		LSB
ADC 间偏移量误差	所有 ADC 的 VREFHI 和 VREFLO 都相同		±2		LSB
DNL误差		> -1	±0.5	1	LSB
INL误差		-2	±1.0	1	LSB
ADC间隔离	VREFHI = 2.5V ， 同步 ADC	-1		1	LSB
	VREFHI = 2.5V ， 异步 ADC		不支持		LSB
交流特性					
SNR(3)	VREFHI = 2.5V ， fin = 100kHz ， SYSCLK 源自 X1		68.8		dB
	VREFHI = 2.5V ， fin = 100kHz ， SYSCLK 源自 INTOSC		60.1		dB

	VREFHI = 2.5V , fin = 100kHz , SYSCLK 源自 X1，VDD 由内部直流/直流 稳压器供电(4)		67.5		dB
THD(3)	VREFHI = 2.5V，fin = 100kHz		-80.6		dB
SFDR(3)	VREFHI = 2.5V，fin = 100kHz		79.2		dB
SINAD(3)	VREFHI = 2.5V，fin = 100kHz，SYSCLK 源自 X1		68.5		dB
	VREFHI = 2.5V，fin = 100kHz，SYSCLK 源自 INTOSC		60.0		dB
ENOB(3)	VREFHI = 2.5V , fin = 100kHz , SYSCLK 源自 X1，单个ADC		11.0		bit
	VREFHI = 2.5V , fin = 100kHz , SYSCLK 源自 X1，同步ADC		11.0		bit
	VREFHI = 2.5V , fin = 100kHz , SYSCLK 源自 X1，异步ADC		不支持		bit
PSRR	VDD = 1.2V 直流 + 100mV 直流至正弦 （ 1kHz 时 ）		60		dB
	VDD = 1.2V 直流 + 100mV 直流至正弦 （ 300kHz 时 ）		57		dB
	VDDA = 3.3V 直流 + 200mV 直流至正弦 （ 1kHz 时 ）		60		dB
	VDDA = 3.3V 直流 + 200mV 正弦 （ 900kHz 时 ）		57		dB

(1) 当ADC输入大于VDDA时，VREFHI上的负载电流增加，将导致转换不精确。

(2) 建议使用 0805 封装电容或者更小的陶瓷电容，接受±20%的容差。

(3) 为尽量减少电容耦合和串扰，在毗邻 ADC 输入引脚和VREFHI 引脚的 IO 活动已经最小化。

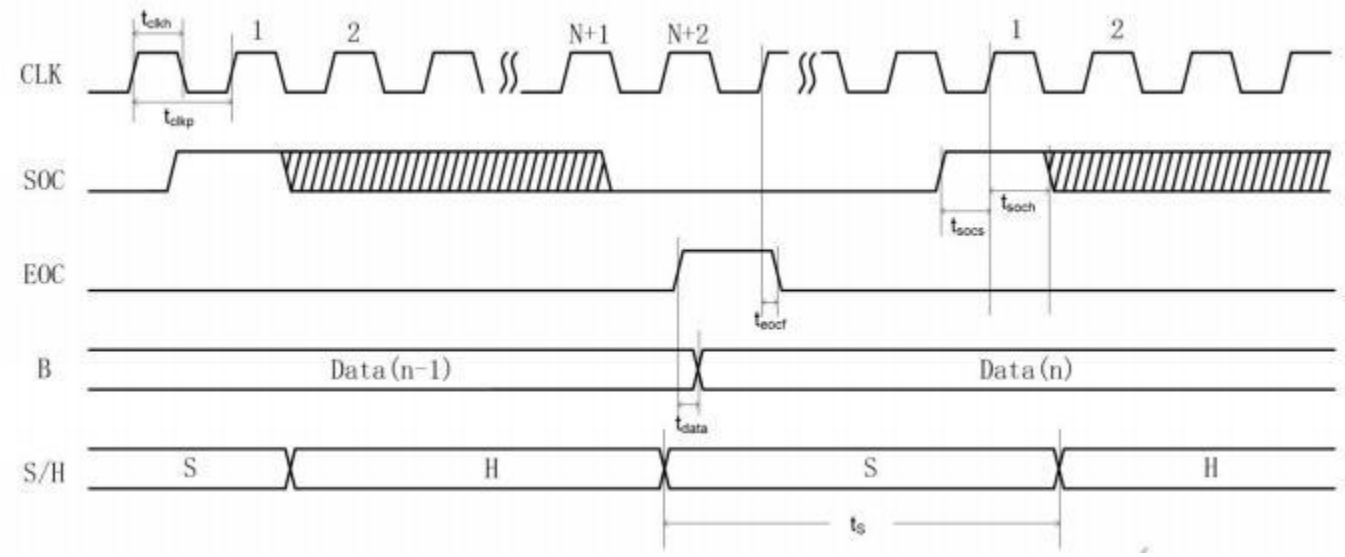
(4) 直流/直流稳压器对 ADC 的噪声影响在很大程度上取决于 PCB 布局。

5.8.1.3.3 ADC 时序框图

图5-11给出了基于以下假设的两个SOC的ADC转换时序 ：

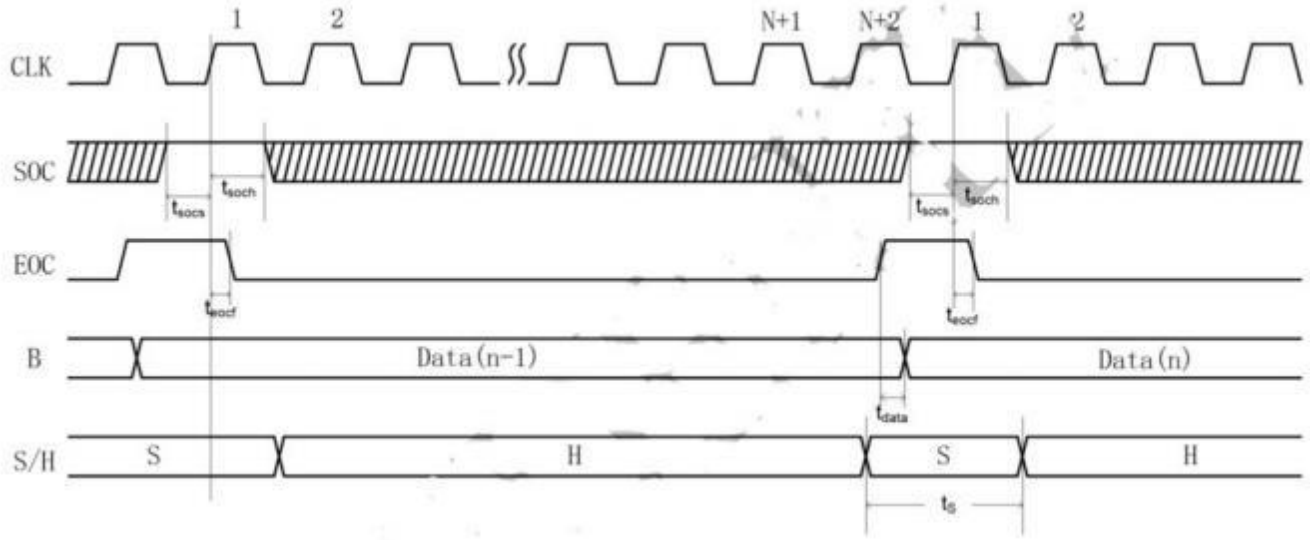
- SOC0和SOC1配置为使用相同的触发器。
- 当触发器发生时，没有其他SOC正在转换或挂起。
- 循环指针处于SOC0先转换的状态。
- ADCINTSEL被配置为在SOC0转换结束时设置ADCINT标志(该标志是否通过CPU导致中断由PIE模块配置决定)。

ADC时序如表5-12所示。ADC时序如表5-13所示。



注:采样时间可以通过配置 SOC 信号来调整。

图 5-11. ADC 时序参数-单次转换



注 4:N 为 SAR ADC 的分辨率，这里 N 为 12。

图 5-12. ADC 时序参数-连续转换

5.8.2 可编程增益放大器(PGA)

可编程增益放大器 (PGA) 用于放大输入电压 ，以提高下游 ADC 和 CMPSS 模块的有效分辨率。集成的 PGA 有助于使传统上需要外部独立放大器的许多控制应用降低成本和设计工作量。通过片上集成可确保 PGA 与下游 ADC 及 CMPSS 模块兼容。软件可选增益和滤波器设置使 PGA 能够满足各种性能需求。

该 PGA 具有以下特性 ：

- 五种可编程增益模式：2 倍、3 倍、6 倍、12倍、24倍、48倍。
- 由 VDDC 和VSSC 进行内部供电。
- 支持使用 PGA_GND 引脚进行开尔文接地连接。
- 使用嵌入式串联电阻进行 RC 滤波。

PGA 中的有源器件是一个嵌入式运算放大器 ，通过内部反馈电阻配置为同相放大器。这些内部反馈电阻值经过配对以产生软件可选的电压增益。

器件引脚上有三个 PGA 信号 ：

- PGA_INP是 PGA 运算放大器的正输入，固定输入为INP0，PSEL[1:0]=0。施加到该引脚的信号将被 PGA 放大，其他接口保留。
- PGA_INN 是 PGA_IN 信号的开尔文接地基准。固定配置是GSEL[1:0]=0，选择INN0作为GND输入。理想 情况下 ，PGA_GND 基准等于 VSSC；但是，PGA 可以容忍 VSSA 的小失调电压。
- PGA_VOUT_S 支持使用 RC 元件进行运算放大器输出滤波。可用ADJ_RE可以调整R的大小，

经滤波后的信号可由内部 ADC 和CMPSS 模块进行采样和监控。

PGA_VOUT 是运算放大器输出端的内部信号。它可由内部 ADC 和 CMPSS 模块进行采样和监控。

图 5-13 所示为 PGA 方框图。

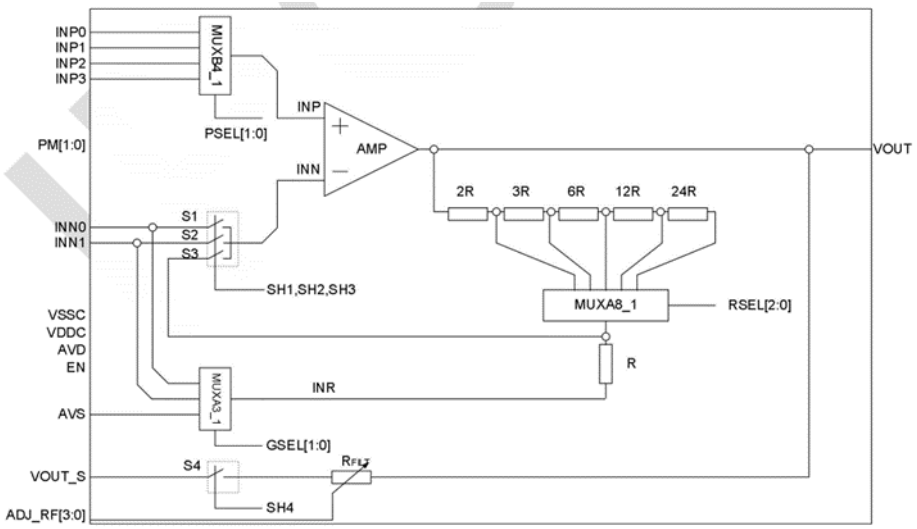


图 5-13. PGA 方框图

5.8.2.1 PGA电气数据和时序

节 5.8.2.1.1 列出了 PGA 的运行条件。 节 5.8.2.1.2 列出了 PGA 的特征。

5.8.2.1.1 PGA 运行条件

理论设计指标（除非另作说明）

表 5-16. PGA 运行条件

参数	测试条件	最小值	典型值	最大值	单位
PGA 输出范围(1)		VSSA + 0.35		VDDA - 0.35	V
PGA GND 范围		-50		200	mV
最小 ADC S+H（无滤波器；增益 = 3、6、12）	稳定在 ±1 ADC LSB 精度范围内	160			ns
最小 ADC S+H（无滤波器；增益 = 24）	稳定在 ±2 ADC LSB 精度范围内	200			ns

(1) 这是 PGA 的线性输出范围。 PGA可以输出此范围以外的电压，但电压将不呈线性。

5.8.2.1.2 PGA 特征

理论设计指标（除非另作说明）

表 5-17. PGA 特征

参数		测试条件	最小值	典型值	最大值	单位
通用						
增益设置				3、6、12、24、48		
输入偏置电流				2		nA
短路电流				35		mA
满量程阶跃响应（无滤波器）		稳定在 ±2 ADC LSB 精度范围内			450	ns
建立时间		增益开关			10	μs
压摆率		Setting Time to 0.1%	2V Step Gain=1		0.8	
			2mV Step Gain =1		0.4	
		Setting Time to 0.01%	2V Step Gain=1		1.2	
			2mV Step Gain =1		0.6	
RGND		Gain=1 Input 0.25V jump to AVD-0.25V @100ns			7	

参数	测试条件	最小值	典型值	最大值	单位
R输出	增益：3	40	50	60	kΩ
	增益：6	400	125	150	kΩ
	增益：12	220	275	330	kΩ
	增益：24	460	575	690	kΩ
	增益：48	940	1175	1410	kΩ
RFILT		16	160	800	kΩ
上电时间			5		μs
直流特征(5)					
增益误差(1)	增益 = 3、6、12	-0.5		0.5	%
	增益：24	-0.8		0.8	%
增益温度系数			±0.004		mV
失调误差(2)		-5		5	mV
失调温度系数	以输入为基准		±5.5		12b LSB
直流代码扩展			2.5		
AC 特征					
带宽(3)	0.2V<VCM<AVD-0.2		13		MHz
R输出	增益：3	40	50	60	kΩ
	增益：6	400	125	150	kΩ
	增益：12	220	275	330	kΩ
	增益：24	460	575	690	kΩ
	增益：48	940	1175	1410	kΩ
RFILT		16	160	800	kΩ
上电时间			5		μs

参数	测试条件	最小值	典型值	最大值	单位
THD(4) CMRR	Vo=1Vrms Gain =1 f=1KHz RL=2KΩ		-85		dB
	0.2V<VCM<AVD-0.2		75		dB
PSRR(4)	Power Rejection Ratio PSRR@<1KHz VCM=AVD/2		80		dB
	Power Rejection Ratio PSRR@10KHz VCM=AVD/2		70		dB
噪声 PSD(4)	Input Voltage Noise, f=1KHz		30		nV/sqrt(Hz)
集成噪声（ 以输入为基准 ）(4)	Input Voltage Noise, f=0.1Hz to 10Hz		6		μV
THD(4)	Vo=1Vrms Gain =1 f=1KHz RL=2KΩ		-85		dB
CMRR	0.2V<VCM<AVD-0.2		75		dB

(1) 包括外部基准模式下的 ADC 增益误差。

(2) 包括外部基准模式下的 ADC 失调误差。

(3) 3dB 带宽。

(4) PGA 单独的表现。

(5) PGA 的 DNL/INL 在 ADC 的 DNL/INL 容差范围内 ，因此未单独显示。

5.8.2.1.3 PGA 典型特征图

图 5-14 所示为输入偏置电流与温度间的关系。

注意：对于图 5-14 ，需满足以下条件 （ 除非另有说明 ）：

- T_A=30°C
- VDDA = 3.3V
- VDD = 1.2 V

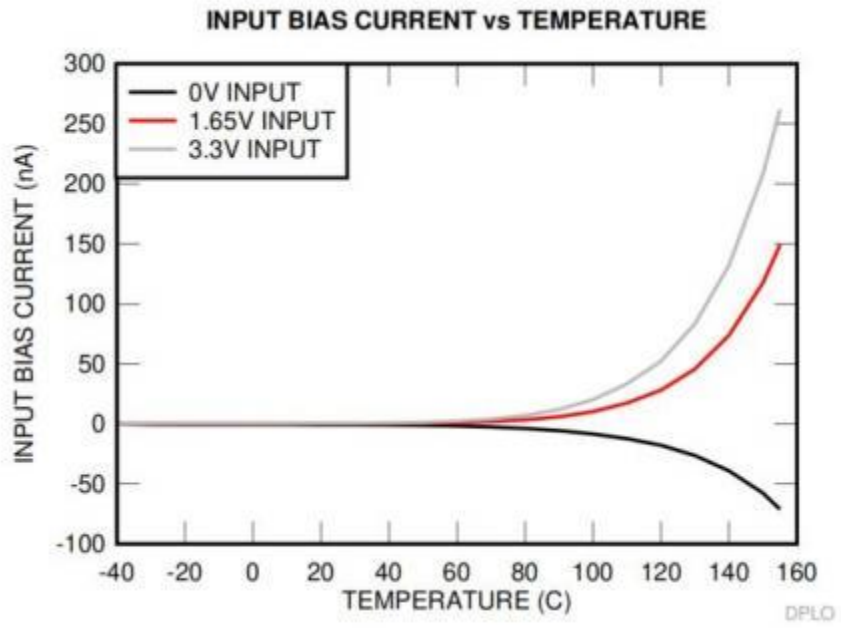


图 5-14. 输入偏置电流与温度间的关系

5.8.3 温度传感器

5.8.3.1 温度传感器电气数据和时序

该温度传感器可用于测量器件结温。温度传感器通过ADC的内部连接进行采样，并通过QX提供的软件转换为温度。当温度传感器采样时，ADC必须满足5.8.3.1.1中的采样时间。

5.8.3.1.1 温度传感器特性

理论设计指标（除非另作说明）

表 5-18. 温度传感器特性

参数			最小值	典型值	最大值	单位
Tacc	温度精度		-40	±2	+125	℃
tstartup	启动时间（TSNSCTL[ENABLE]至采样温度传感器）			200		μs
tSH	ADC 采样保持时间					ns

5.8.4 缓冲数模转换器(DAC)

Buffered DAC模块由一个内部12位DAC和一个PGA组成。Buffered DAC是一种通用DAC，除了可以 生成正弦波、方波、三角波等波形外，还可以生成电压。软件写入DAC寄存器的值可以立即生效，也可以与EPWMSYNCPER事件同步。

每个Buffered DAC有如下的特点：

- 12bit 可编程的内部 DAC
- 可选参考电压源
- 使用内部 VREFHI 时的 X1 和 X2 增益模式
- 能够与 EPWMSYNCPER 同步

Buffered DAC 模块框图 5-15 所示，其中 V_{DAC_OUT} 为模拟电压输出

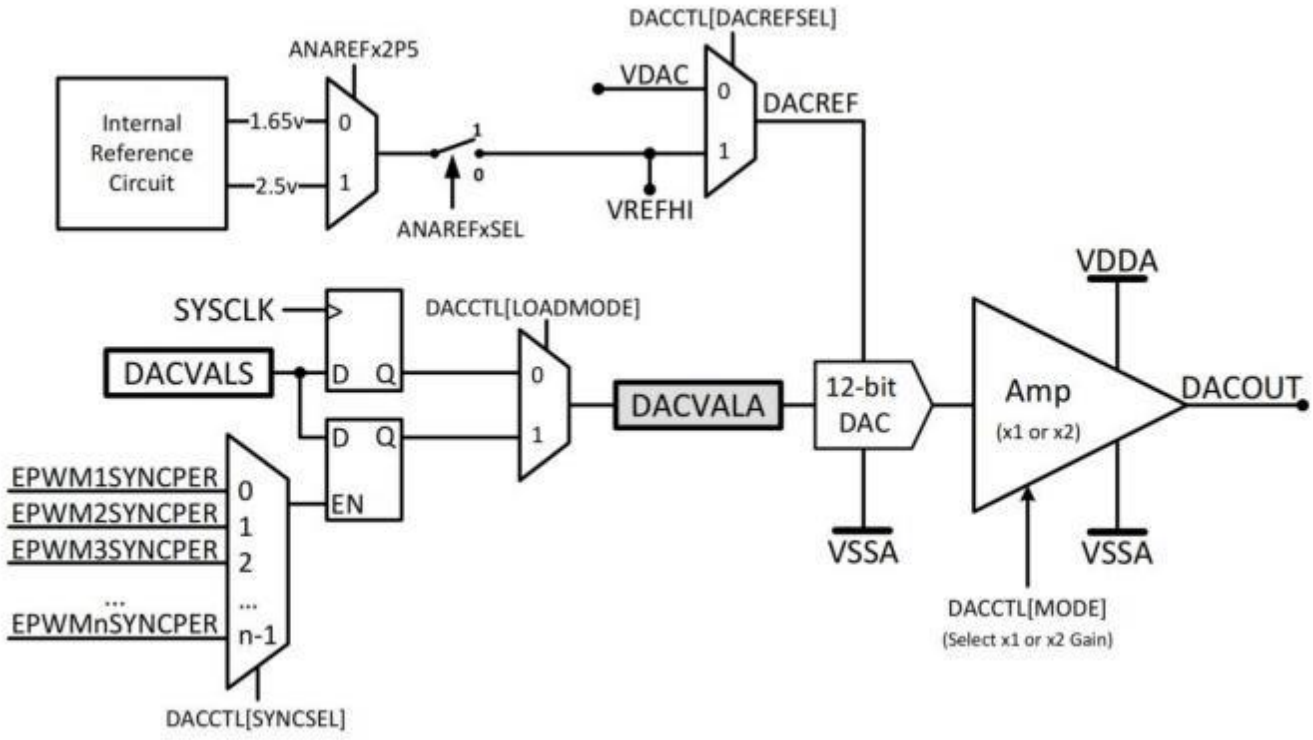


图 5-15. DAC 模块方框图

5.8.4.1 缓冲 DAC 电气数据和时序

节 5.8.4.1.1 列出了缓冲 DAC 运行条件。节 5.8.4.1.2 列出了缓冲 DAC 电气特性。

5.8.4.1.1 缓冲 DAC 运行条件

理论设计指标（除非另作说明）(1)

表 5-19. 缓冲 DAC 运行条件

参数		测试条件	最小值	典型值	最大值	单位
RL	电阻负载(2)		10			kΩ
CL	容性负载				50	pF
VOUT	有效输出电压范围(3)	RLOAD =∞, CLOAD=50pF	0.015		AVD-0.0.015	V
基准电压(4)		VDAC或 VREFHI		1.65或2.5	VDDA	V

(1) 典型值是在 VREFHI = 3.3V 和 VREFLO = 0V 时测得的 ，除非另外注明。在 VREFHI = 2.5V 和 VREFLO = 0V 条件下对最小值和最大值进行测试或表征。

(2) DAC 可以驱动最小 1kΩ 的阻性负载，但输出范围会受到限制。

(3) 这是 DAC 的线性输出范围。DAC 可以产生此范围以外的电压，但由于缓冲器的原因，输出电压将不呈线性。

(4) 为了获得卓越 PSRR 性能，VDAC 或 VREFHI 应小于 VDDA。

5.8.4.1.2 缓冲 DAC 电气特性

理论设计指标（除非另作说明）(1)

表 5-20. 缓冲 DAC 电气特性

参数	测试条件	最小值	典型值	最大值	单位
通用					
分辨率		12			位
负载调整率		-1		1	mV/V
毛刺脉冲能量			1.5		V-ns
电压输出稳定时间满量程	在 0.3V 至 3V 切换后稳定到 2LSB			2	μs
电压输出稳定时间第 1/4 满量程	在 0.3V 至 0.75V 切换后稳定 到2LSB			1.6	μs
电压输出压摆率	从 0.3V 到 3V 转换的压摆率	2.8		4.5	V/μs

负载瞬态的稳定时间(6)		5kΩ 负载			328	ns
		1kΩ 负载			557	ns
基准输入电阻(2)		VDAC 或 VREFHI	160	200	240	kΩ
TPU	上电时间	R_{LOAD}=10K,C_{LOAD}=50pF			1500	μs
直流猗性						
偏移	偏移量误差	中点	-25	10	25	mV
Gain	增益误差(3)		-1.5		1.5	FSR 百分比
DNL (4)	微分非线性	已更正端点		±1		LSB
INL	积分非线性	已更正端点		±2		LSB
交流特性						
输出噪声		从 100Hz 到 100kHz 的 积分 噪声		600		μVrms
		10kHz 时的噪声密度		800		nVrms/ √Hz
SNR	信噪比	2kHz ，(A-weighted)(7)		95		dB
THD 真	总谐波失	1kHz ，200KSPS		74		dB
SFDR 态范围	无杂散动	1kHz ，200KSPS		80		dB
PSRR	电源抑制比 (5)	C_{LOAD}=50pF @1KHz		−70		dB

(1) 典型值是在 VREFHI = 3.3V 和 VREFLO = 0V 时测得的 ，除非另外注明。在 VREFHI = 2.5V 和 VREFLO = 0V 条件下 对最小值和最大 值进行测试或表征。

(2) 每个有源缓冲 DAC 模块。

(3) 增益误差是在线性输出范围内计算得出。

(4) DAC 输出是单调输出。

(5) VREFHI = 3.2V ，VDDA = 3.3V DC + 100mV 正弦。

(6) 稳定在 3LSB 以内。

注意：VDAC 引脚必须保持低于 VDDA + 0.3V ，以确保正常运行。如果 VDAC 引脚超过此电平，可能会激活阻塞电路，并且 VDAC 的内部值可能会在内部浮动至 0V，从而导致 DAC 输出不正确。

注意：VREFHI 引脚必须保持低于 VDDA + 0.3V，以确保正常工作。如果 VREFHI 引脚超过此电平，可能会激活阻塞电路，并且 VREFHI 的内部值可能会在内部浮动至 0V ，从而导致 ADC 转换或 DAC 输出不正确。

5.8.4.1.3 缓冲 DAC 示意图

图 5-16 显示了缓冲 DAC 的偏移量。图 5-17 显示了缓冲 DAC 增益。图 5-18 显示了缓冲 DAC 线性。

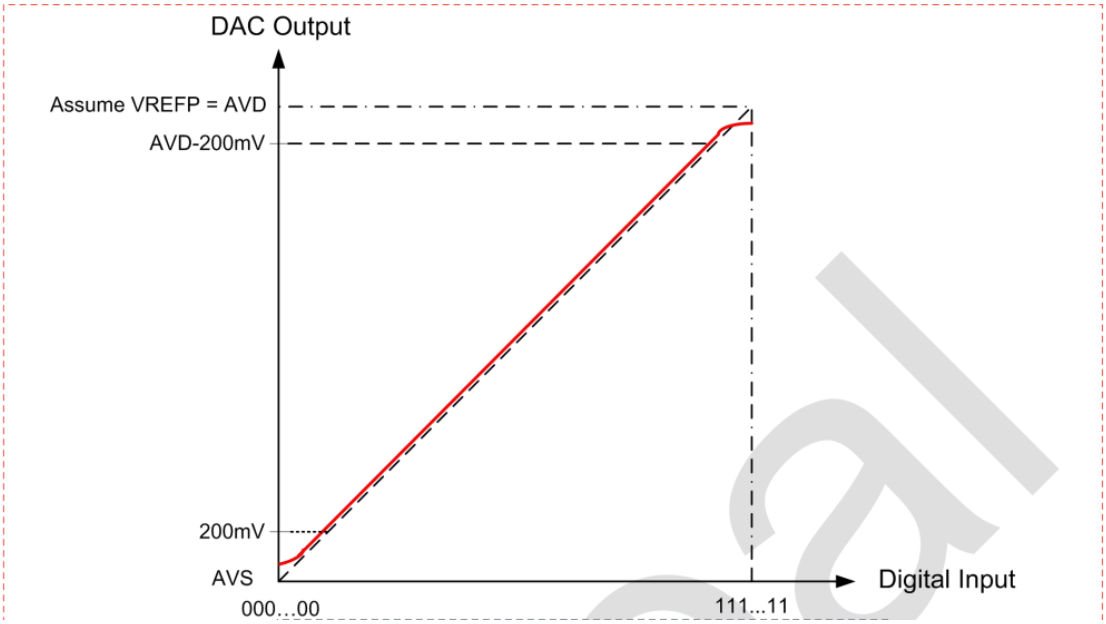


图 5-16. 缓冲 DAC 线性

5.8.4.1.4 缓冲 DAC 典型特性图

图 5-19 至图 5-24 显示了一些缓冲 DAC 参数的典型性能。图 5-19 显示了 DNL。图 5-20 显示了 INL 。图 5-21 显示了毛刺脉冲响应（511 至 512 DACVAL），图 5-22 显示了毛刺脉冲响应（512 至 511 DACVAL）。请注意，毛刺脉冲仅发生在 MSB 转换时，最坏的情况是 511 至 512和 512 至 511 转换。图 5-23 显示了1kΩ负载瞬态。图 5-24 显示了5kΩ负载瞬态。

备注：对于图 5-19 至图 5-24，以下条件适用（除非另有说明）：

- TA=30°C
- VDDA = 3.3V

- VDD = 1.2 V

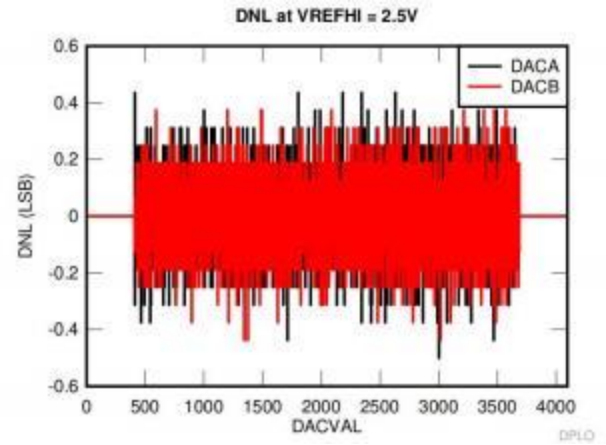
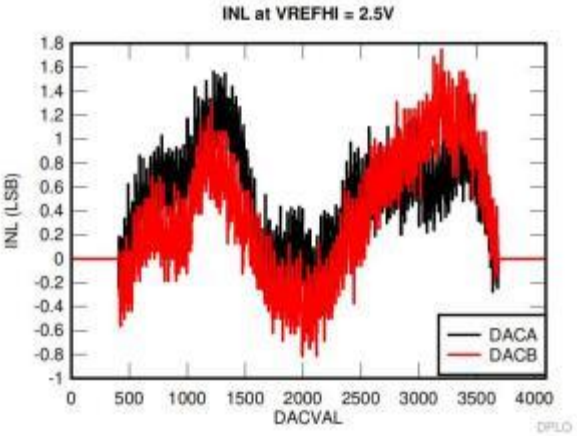


图 5- 19 DNL



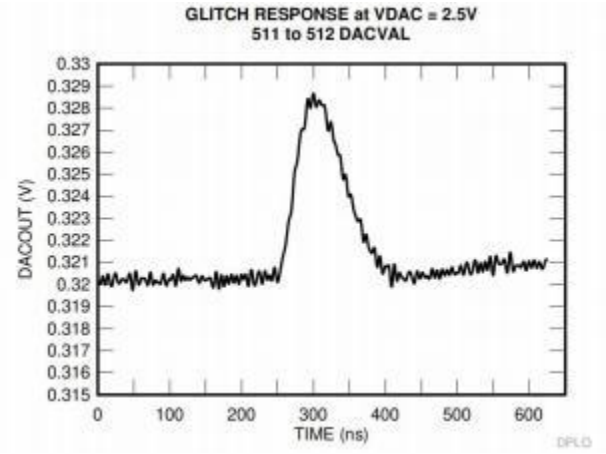
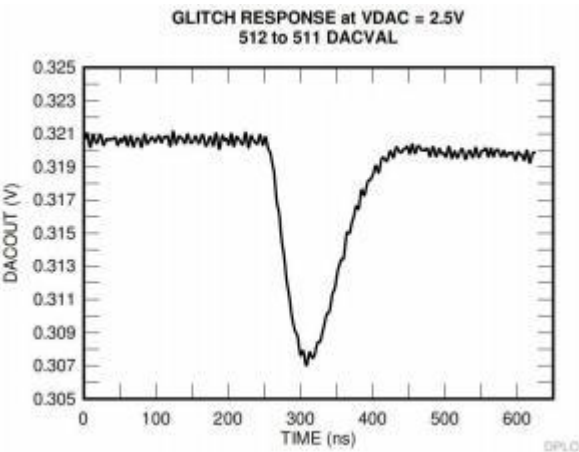


图 5-21 毛刺脉冲响应-511至512 DACVAL



5.8.5 比较器子系统(CMPSS)

每个 CMPSS 包含两个比较器，两个 12 位参 器。每个模块内的比较器用“H ”或“L ”表示，其中“H 个数字输出，表示正输入端的电压是否大于负输入端 负输入可以由外部引脚或可编程参考 12 位 DAC 来驱动。每个比较器输出通过一个可编程的数字滤波器，可以剔除虚假的跳闸信号。如果不需要过滤，也可以使用未经过滤的输出。斜坡发生器电路可选择控制子系统中高比较器的 12 位 DAC 参考值。每个 CMPSS 模块有两个输出。这两个输出经过数字滤波器和 Cross-bar 模块再连接到 ePWM 模块或 GPIO 引脚。

CMPSS 连接如图 5-25 所示。

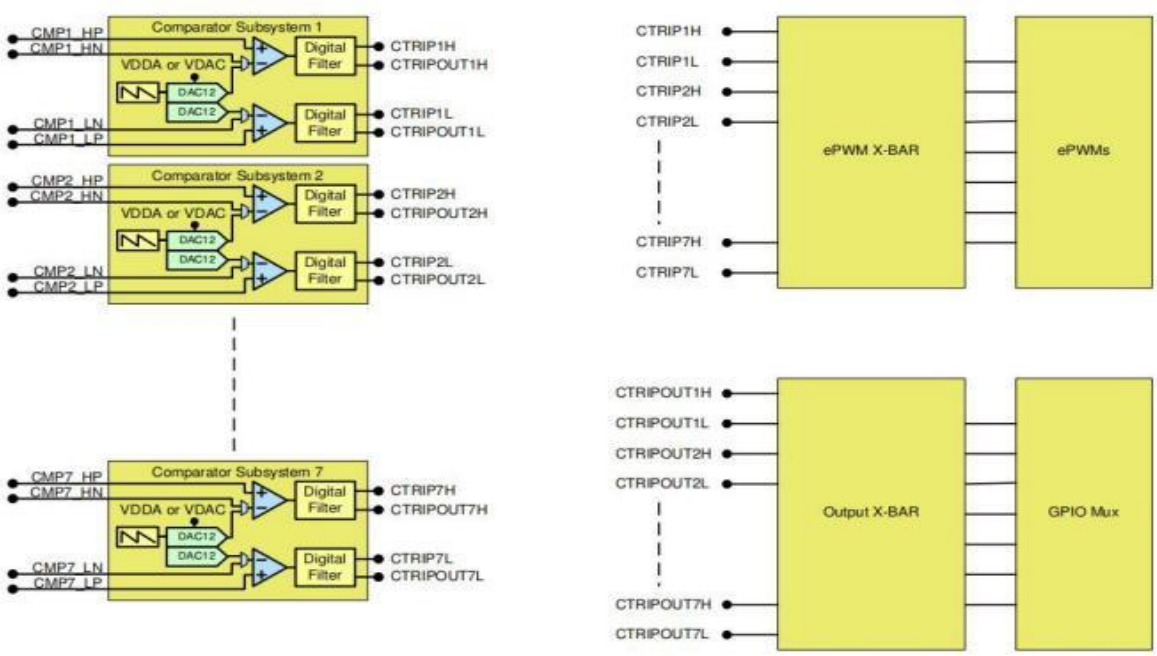


图 5-25 CMPSS 连接

注：并非所有封装都具有所有 CMPSS 引脚。请参阅模拟引脚和内部连接表。

5.8.5.1 CMPSS 电气数据和时序

第 5.8.5.1.1 节列出了比较器的电气特性。CMPSS 比较器输入参考偏移量如图 5-26 所示。CMPSS比较器迟滞如图 5-27 所示。

5.8.5.1.1 比较器电气特性

理论设计指标（除非另作说明）

表 5-21. 比较器电气特性

参数		测试条件	最小值	典型值	最大值	单位
TPU	Power-up time			3		1μs
比较器输入(CMPINxx)范围				0 VDDA		V

(1)CMPSS DAC 用作确定应用多大迟滞的参考。因此，迟滞量将与 CMPSS DAC 参考电压成比例。

迟滞可用于所有比较器输入源配置。

注意:CMPSS 输入必须保持在 VDDA + 0.3 V 以下，以确保正常的功能运行。如果 CMPSS 输入超过这 个电平，内部阻塞电路将内部比较器与外部引脚隔离，直到外部引脚电压恢复到 VDDA + 0.3 V 以下。 在此期间，内部比较器输入是浮动的，并且可以在大约 0.5µs 内衰减到 VDDA 以下。在此之后，根据 比较器另一个输入，比较器可能输出一个错误的结果。

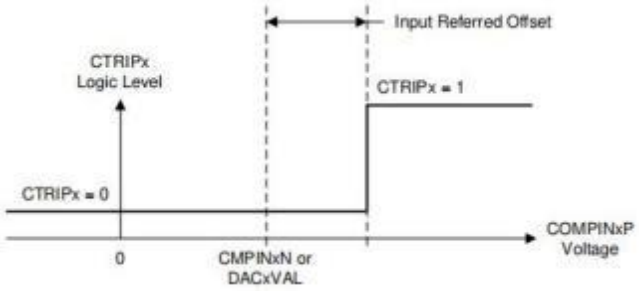


图 5-26. CMPSS 比较器输入参考偏移量

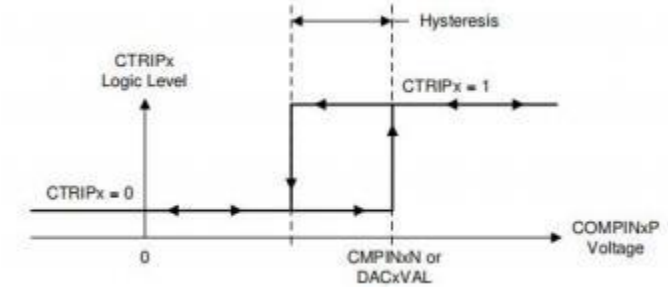


图 5-27. CMPSS 比较器迟滞

第 5.8.5.1.2 节列出了 CMPSS DAC 的静态电气特性

5.8.5.1.2 CMPSS DAC 静态电气特性

理论设计指标（除非另作说明）

表 5-22. CMPSS DAC 静态电气特性

参数	测试条件	最小值	典型值	最大值	单位
CMPSS DAC 输出范围	内部参考	0		VDDA	V
	外部参考	0		VDAC(4)	
静态 DNL	终点修正	>-1		4	LSB
静态 INL	终点修正	-16		16	LSB
校正时间	全量程输出变化后，调整到 1LSB	350			ns
分辨率			12		bits

VDAC 参考电压	当VDAC 为参考时	2.4	2.5 或 3.0	VDDA	V
VDAC 负载(3)	当VDAC 为参考时	6	8	10	kΩ

（1）包括比较器输入参考误差。

（2）在比较器跳闸后的一段时间内，CMPSS DAC 输出可能会出现扰动误差。

（3）每个活动 CMPSS 模块。

（4）当 VDAC > VDDA 时，最大输出电压为VDDA。

图 5-27 显示了 CMPSS DAC 静态偏移量。图 5-28 显示了CMPSS DAC 静态增益。图 5-29 显示了 CMPSS DAC 静态线性。

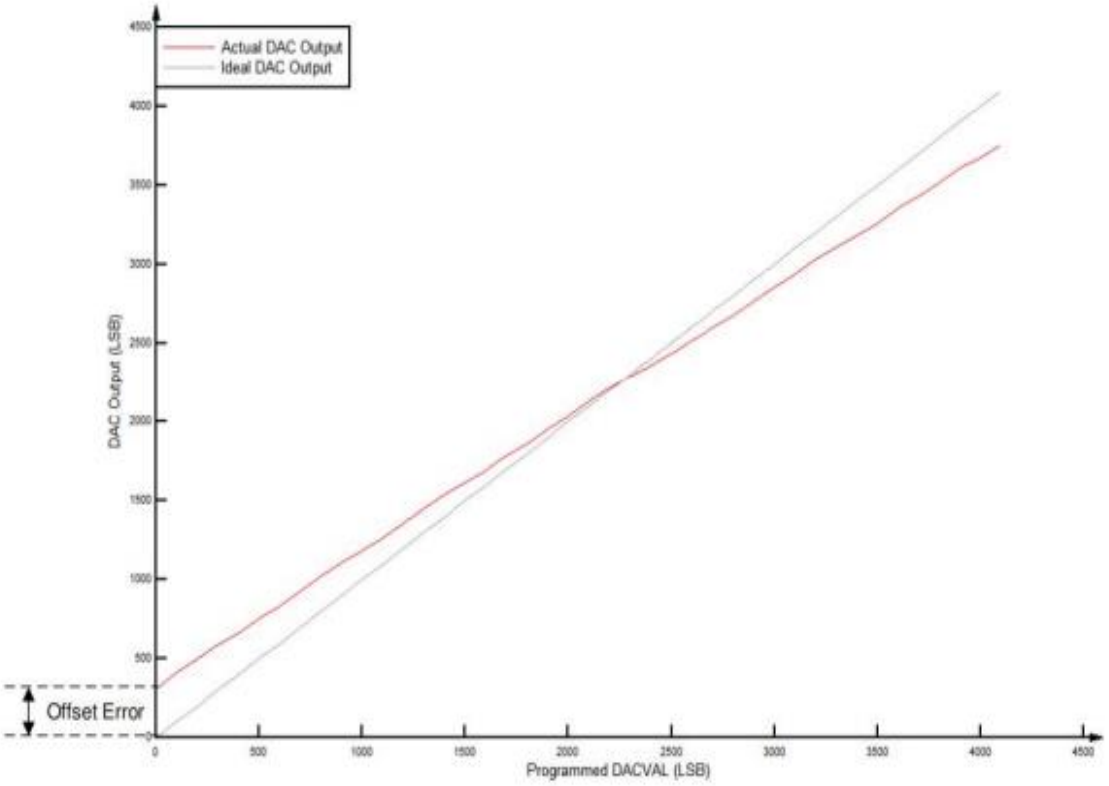


图 5-28. CMPSS DAC 静态偏移量

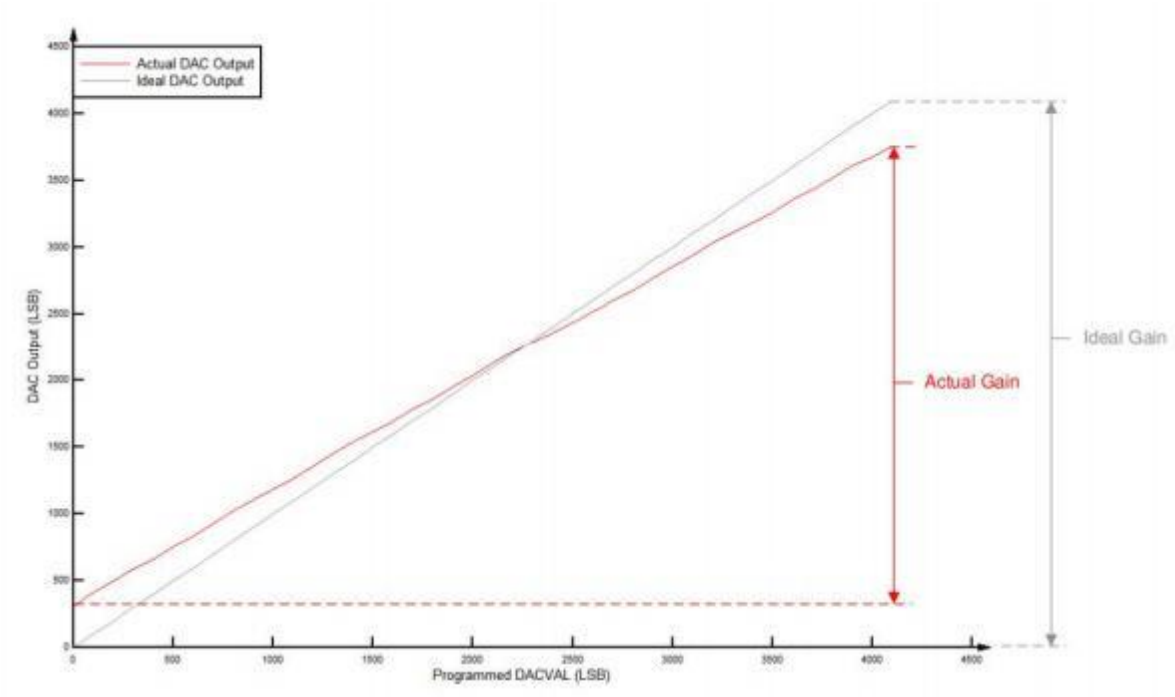


图 5-29 CMPSS DAC 静态增益

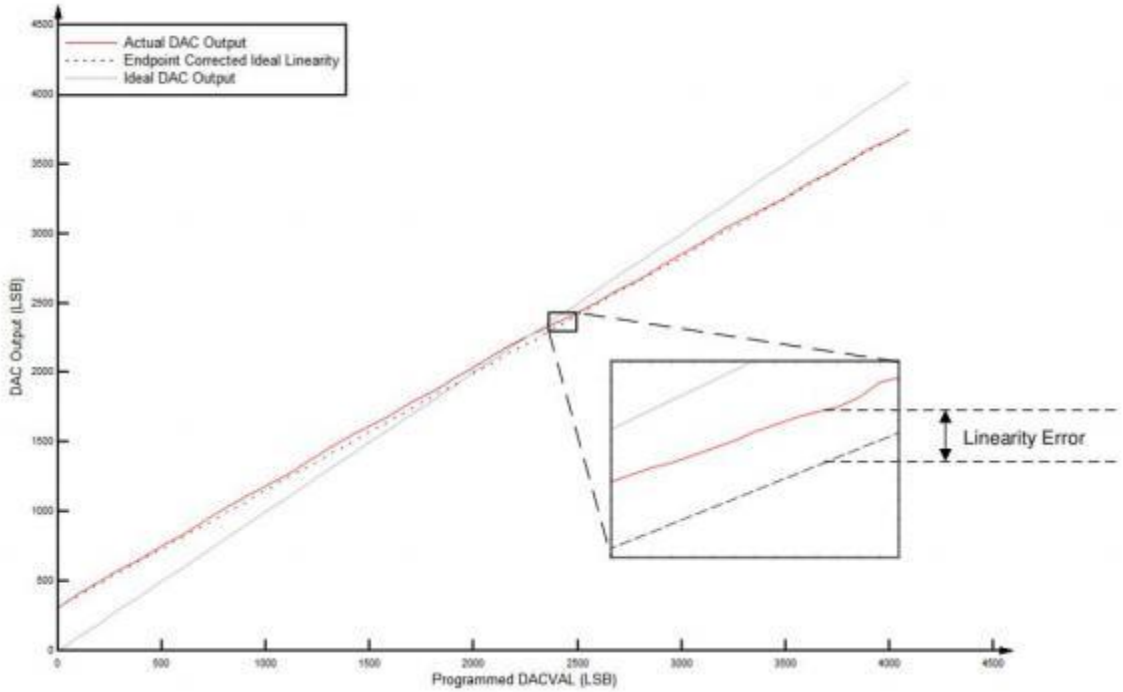


图 5-30 CMPSS DAC 静态增益

5.9 控制外设

5.9.1 增强型捕获(eCAP)

1 类增强型捕捉(eCAP) 模块用于注重外部事件精确时序的系统。

eCAP 模块的应用包括 ：

- 旋转机械的速度测量 （ 例如 ， 通过霍尔传感器感应齿状链轮 ）
- 位置传感器脉冲之间的持续时间测量
- 脉冲序列信号的周期和占空比测量
- 解码来自占空比编码电流/电压传感器的电流或电压振幅

eCAP 模块包括以下特性 ：

- 4 事件时间戳寄存器 （ 每个 32 位 ）
- 边缘极性选择 ， 最多选择四个序列时间戳捕获事件
- 四个事件中的任何一个发生时的 CPU 中断
- 独立的 DMA 触发器
- 多达 4 个事件时间戳的单脉冲捕捉
- 在一个 4 深循环缓冲区中连续捕获时间戳的模式

- 绝对时间戳采集
- 差分(Δ) 模式时间戳采集
- 128:1 输入多路复用器
- 事件预分频器
- 当未用于捕获模式时，eCAP 模块可配置为单通道 PWM 输出。

1 类 eCAP 的捕捉功能通过 0 类 eCAP 得到增强 ，增加了以下特性 ：

- 事件过滤器复位位

  – 向 ECCTL2[CTRFILTRESET] 写入 1 将清零事件滤波器、模计数器和任何挂起的中断标志。

这对于初始化和调试很有用。

- 模数计数器状态位。

  – 模数计数器(ECCTL2[MODCTRSTS]) 指示接下来将加载哪个捕捉寄存器。在 0 类 eCAP 中 ，

无法知道模 数计数器的当前状态。

- DMA 触发源

  – eCAPxDMA 被添加为一个 DMA 触发器。 CEVT[1 –4] 可以配置为 eCAPxDMA 的源。

- 输入多路复用器

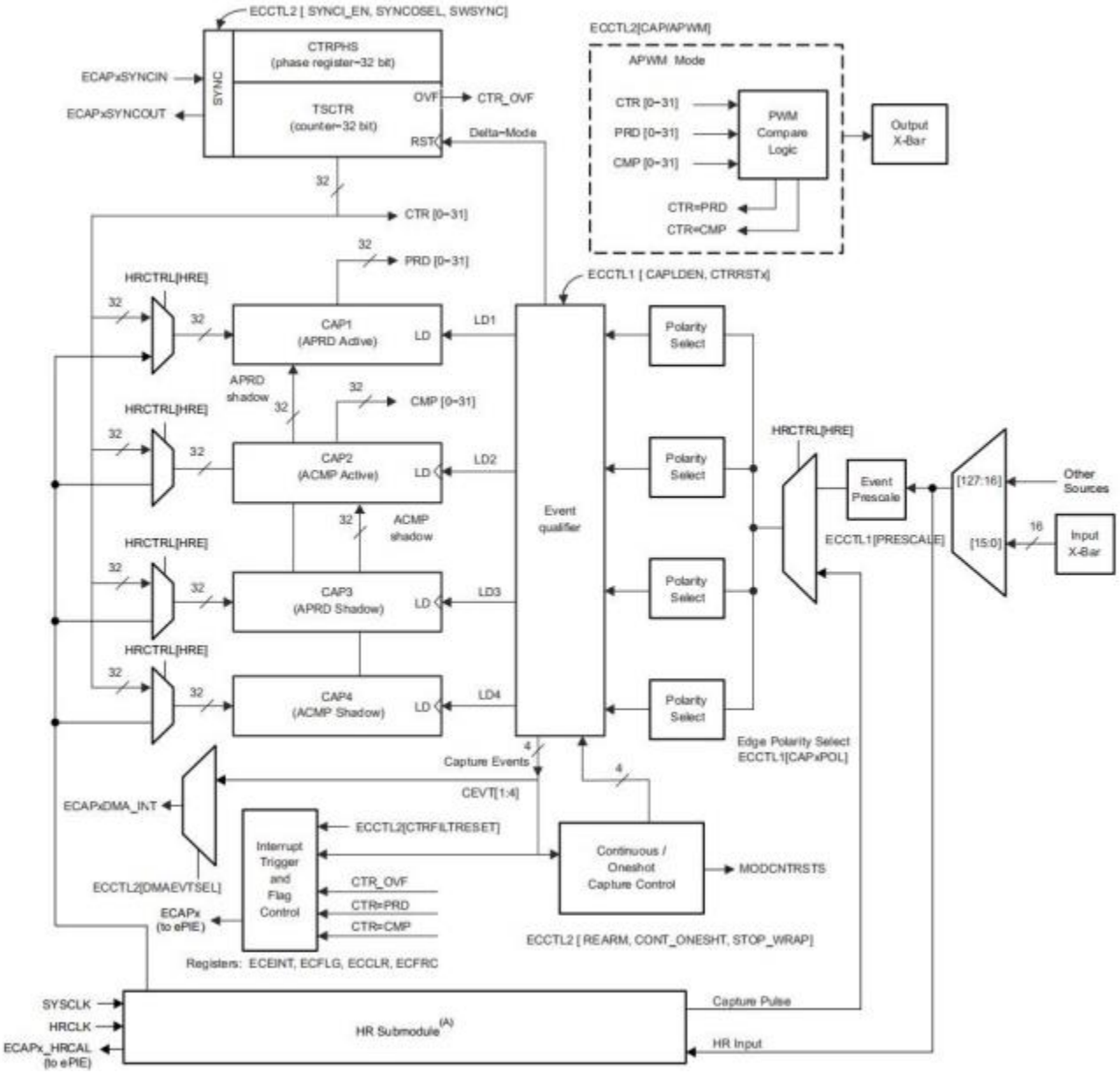
  – ECCTL0[INPUTSEL] 选择 128 个输入信号之一。

- EALLOW 保护

  – EALLOW 保护已添加到关键寄存器。

输入 X-BAR 必须用于将器件输入引脚连接到模块。输出 X-BAR 必须用于将输出信号连接到OUTPUTXBARx 输出位置。请参阅节 6.4.3 和节 6.4.4。

图 5-30 显示了 eCAP 方框图。



A. HRCAP 子模块并非在所有 eCAP 模块上都可用 ； 在这种情况下 ， 高分辨率多路复用器和硬件未被执行。

图 5- 31. eCAP 方框图

5.9.1.1 eCAP电气数据和时序

节 5.9.1.1.1 列出了 eCAP 时序要求。 节 5.9.1.1.2 列出了 eCAP 开关特性。

5.9.1.1.1 eCAP 时序要求

表 5-23. eCAP 时序要求

参数		最小值 标称值 最大值	单位
tw(CAP) 采集输入脉冲宽度	异步	2tc(SCO)	ns
	同步	2tc(SCO)	
	带输入限定器	1tc(SCO) + tw_(QSW)	

5.9.1.1.2 eCAP 开关特性

理论设计指标（除非另作说明）

表 5-24. eCAP开关特性

参数	最小值	典型值	最大值	单位
tw(APWM) 脉冲持续时间，APWMx 输出高电平/低电平	20			ns

5.9.2 高分辨率捕捉子模块(HRCAP6–HRCAP7)

该器件最多包含两个高分辨率捕捉 (HRCAP) 子模块。HRCAP 子模块可以测量与系统时钟异步的脉冲之间的时间差。该子模块是 eCAP 1 类模块新增的子模块，与 0 类 HRCAP 模块相比具有许多增强功能。

HRCAP 的应用包括：

- 电容式触控应用
- 脉冲序列周期的高分辨率周期和占空比测量
- 瞬时速度测量
- 瞬时频率测量
- 在一个隔离边界上的电压测量
- 距离/声纳测量和扫描
- 流量测量

HRCAP 子模块包含以下特性：

- 在非高分辨率或高分辨率模式下进行脉宽捕捉
- 绝对模式脉宽捕捉

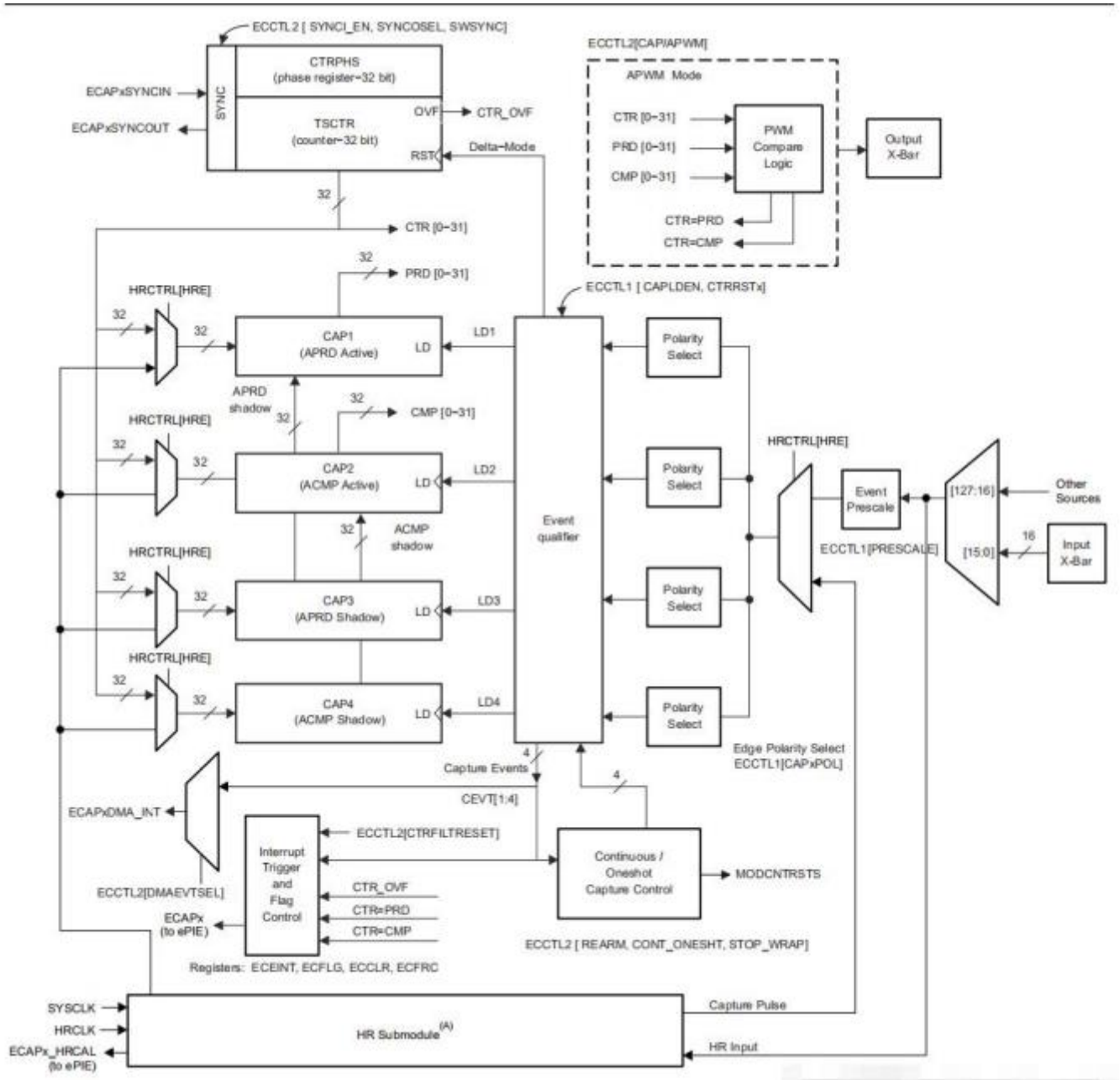
- 连续或“一次性”捕捉
- 在下降沿或上升沿捕捉
- 4 深度缓冲器中脉冲宽度的持续模式捕捉
- 通过硬件校准逻辑实现精密高分辨率捕捉
- 使用输入 X-BAR 的任何引脚上均可使用此列表中的所有资源。

HRCAP 子模块包含一个高分辨率捕捉通道以及一个校准块。校准块允许 HRCAP 子模块在设定的时间间隔内持续 重新校准 ，不存在“ 中断时间 ”。 由于 HRCAP 子模块现在使用与其相应 eCAP相同的硬件 ，因此如果使用 HRCAP ，则相应的 eCAP 将不可用。

每个支持高分辨率的通道都具有以下独立的关键资源。

- 相应 eCAP 的所有硬件
- 高分辨率校准逻辑
- 专用校准中断

图 5-32 所示为 HRCAP 方框图



A. HRCAP 子模块并非在所有 eCAP 模块上都可用 ；在这种情况下 ， 不会使用高分辨率多路复用器和硬

图 5- 32. HRCAP 方框图

5.9.2.1 HRCAP 电气数据和时序

节 5.9.2.1.1 列出了 HRCAP 开关特性。图 5-32 所示为 HRCAP 精度和分辨率。图 5-33 所示为 HRCAP 标准偏差特性。

5.9.2.1.1 HRCAP 开关特性

理论设计指标（除非另作说明）

表5-25. HRCAP开关特性

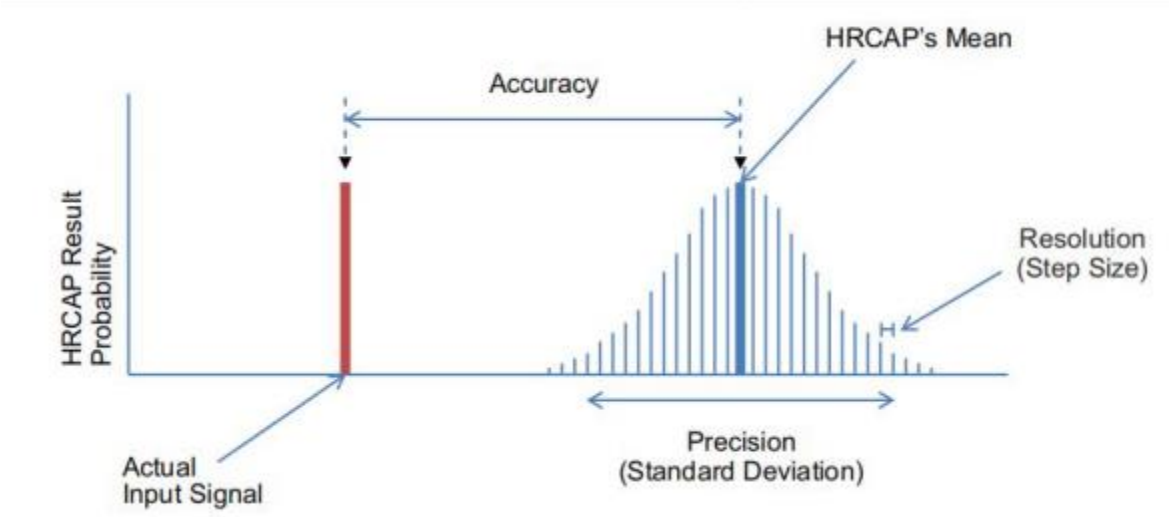
参数	测试条件	最小值	典型值	最大值	单位
输入脉冲宽度		110			ns
精度(1) (2) (3) (4)	测量时长 ≤ 5μs	±390	540		ps
	测量时长 > 5μs	±450		1450	ps
标准差		请参见图 7-66			
分辨率		300			ps

(1) 使用 100PPM 的振荡器获得的值 ，振荡器精度直接影响 HRCAP 精度。

(2) 使用上升-上升沿或下降-下降沿完成测量。

(3) 由于 VIH 和 VIL 之间的差异 ，极性相反的边沿将进一步降低精度 。这种影响取决于信号的压摆率。

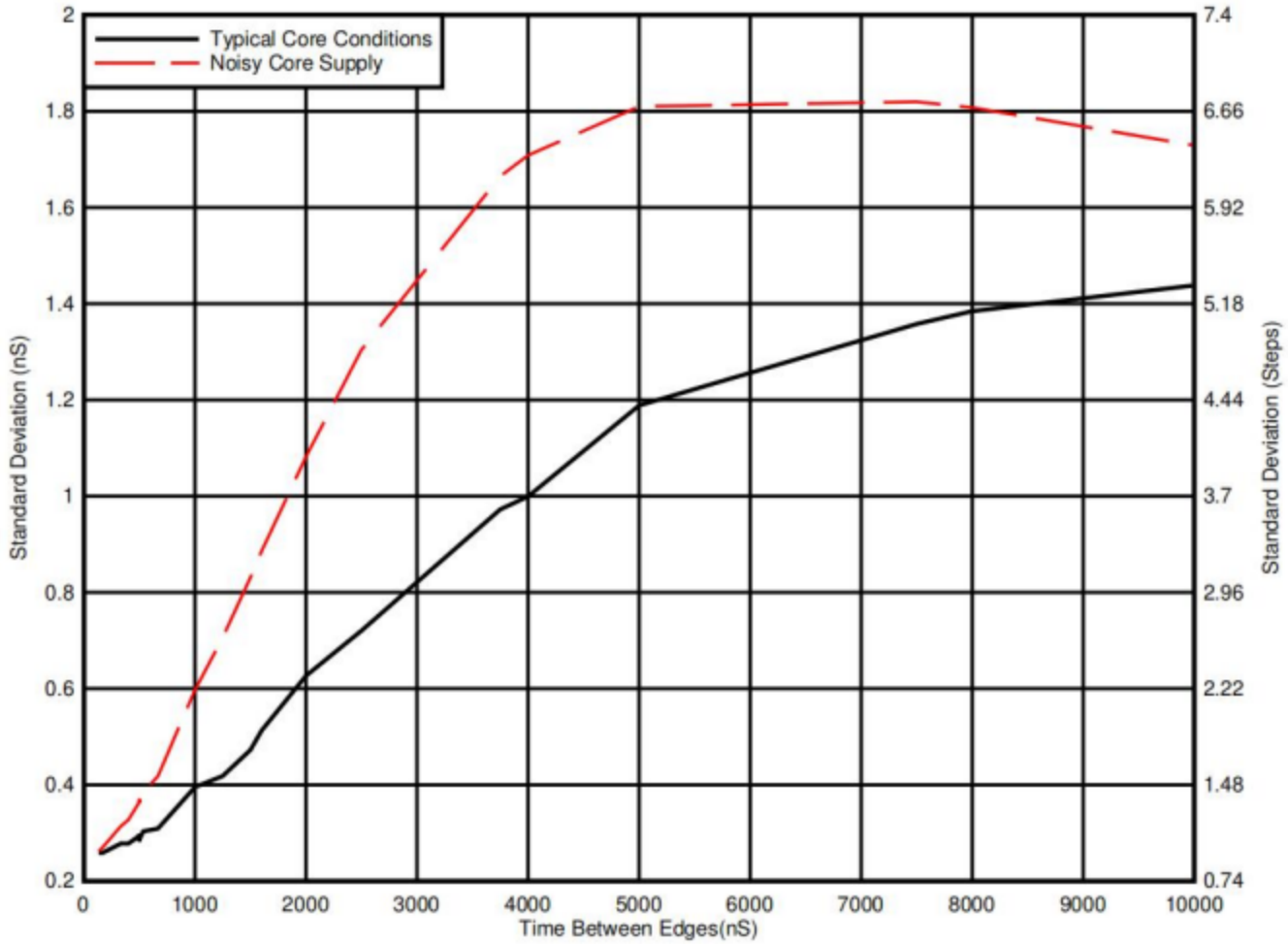
(4) 精度仅适用于经过时间转换的测量。



A. HRCAP 在性能上有一些变化，其概率分布可以使用以下术语描述：

- 精度：输入信号与 HRCAP 分布均值之间的时间差。
- 精度 ： HRCAP 分布的宽度， 以标准偏差的形式给出。
- 分辨率：最小可测量增量。

图 5- 33. HRCAP 精度和分辨率



A. 典型的内核条件 ：所有外设时钟被启用。

B. 有噪声的内核电源 ：在测量期间 ，所有内核时钟都以一个固定周期启用和禁用 。这会导致 1.2V 电源轨在测

量期间出现 18.5mA 的摆幅。

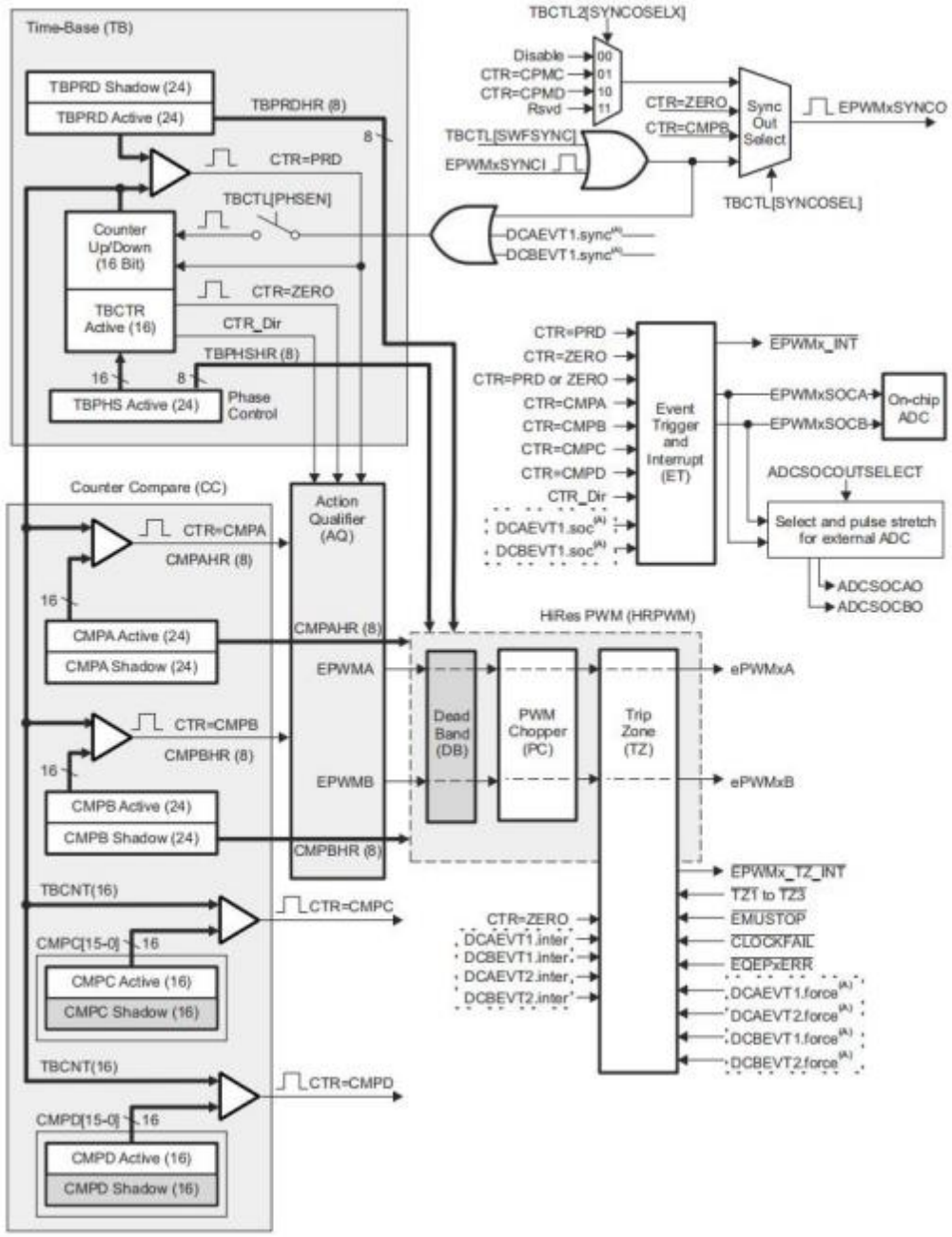
C. 1.2V 电源轨上的电流和电压波动会导致 HRCAP 的标准偏差上升 。应注意确保 1.2V 电源是清洁的 ，并且在使用 HRCAP 时已最大限度地 减少了干扰性内部事件 (例如启用和禁用时钟树) 。

图 5-34 HRCAP 标准偏差特性

5.9.3 增强脉冲宽度调制(ePWM)

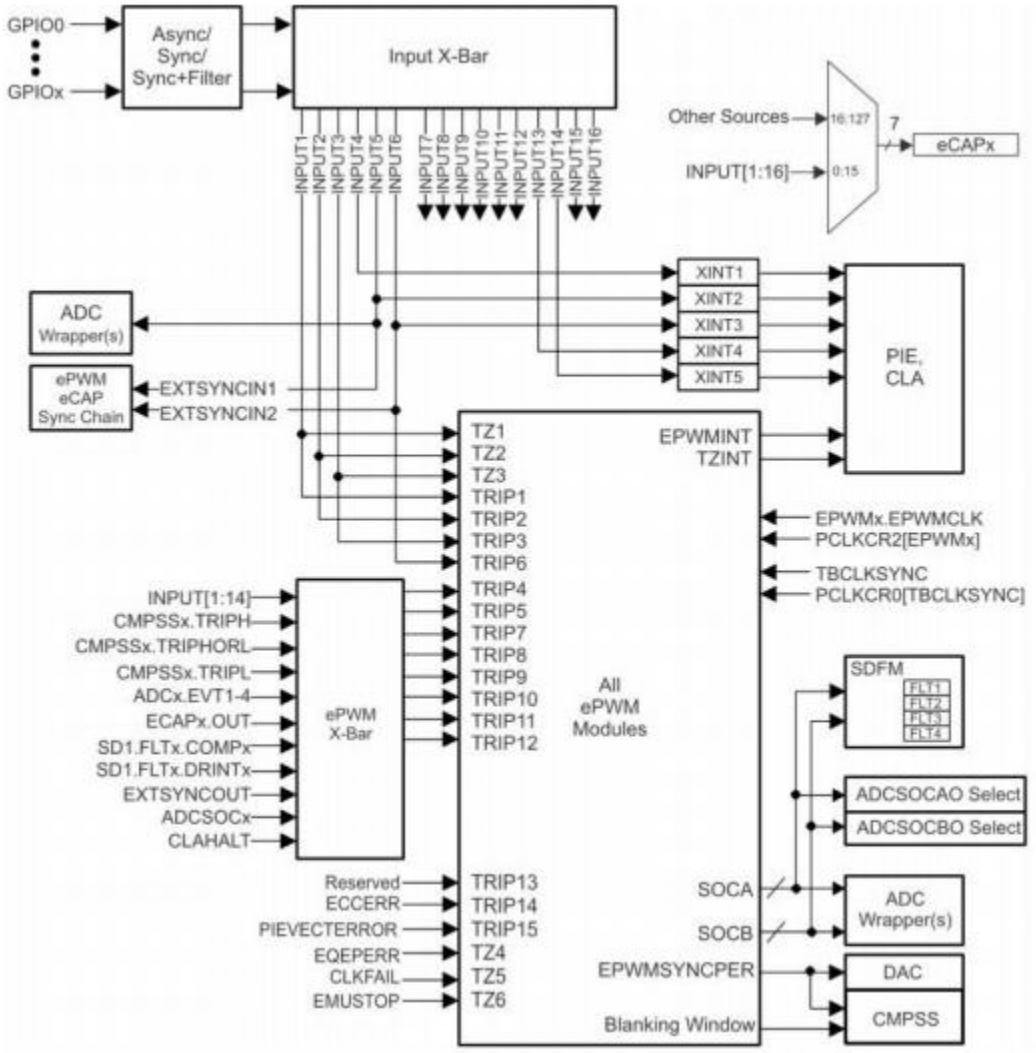
ePWM 外设是许多商业和工业设备中电力电子系统控制的关键部分。ePWM 模块能够以最小的 CPU 开销生成复杂的脉冲宽度波形，将具有独立资源的小模块构建为各个外设，并将这些资源共同组成 系统运行。ePWM 模块的一些特性包括复杂波形生成、死区生成、灵活的同步配置、高级错误联防功能和全局寄存器重新加载功能。

ePWM 模块如图 5-34 所示。ePWM 错误联防输入连接如图 5-35 所示。



A. 根据 TRIPIN 输入的电平经过 ePWM 中的数字比较(DC)子模块生成的事件。

图 5-35. ePWM 子模块和关键内部信号连接


GPIO0
GPIOx
Async/
Sync/
Sync+Filter
Input X-Bar
INPUT1
INPUT2
INPUT3
INPUT4
INPUT5
INPUT6
INPUT7
INPUT8
INPUT9
INPUT10
INPUT11
INPUT12
INPUT13
INPUT14
INPUT15
INPUT16
Other Sources
INPUT[1:16]
16:127
0:15
7
eCAPx
XINT1
XINT2
XINT3
XINT4
XINT5
PIE,
CLA
ADC
Wrapper(s)
ePWM
eCAP
Sync Chain
EXTSYNCIN1
EXTSYNCIN2
TZ1
TZ2
TZ3
TRIP1
TRIP2
TRIP3
TRIP6
TRIP4
TRIP5
TRIP7
TRIP8
TRIP9
TRIP10
TRIP11
TRIP12
TRIP13
TRIP14
TRIP15
TZ4
TZ5
TZ6
EPWMINT
TZINT
EPWMx.EPWMCLK
PCLKCR2[EPWMx]
TBCLKSYNC
PCLKCR0[TBCLKSYNC]
All
ePWM
Modules
INPUT[1:14]
CMPSSx.TRIPH
CMPSSx.TRIPHORL
CMPSSx.TRIPL
ADCx.EVT1-4
ECAPx.OUT
SD1.FLTx.COMPx
SD1.FLTx.DRINTx
EXTSYNCOUT
ADCSOCx
CLAHALT
ePWM
X-Bar
Reserved
ECCERR
PIEVECTERROR
EQEPERR
CLKFAIL
EMUSTOP
SDFM
FLT1
FLT2
FLT3
FLT4
ADCSOCAO Select
ADCSOCBO Select
SOCA
SOCB
ADC
Wrapper(s)
EPWMSYNCPER
DAC
CMPSS
Blanking Window

5.9.3.1 控制外设同步

设备上的 ePWM 和 eCAP 同步配置在 ePWM 和 eCAP 模块时更灵活，并允许在模块内进行本地化同步。与其他外设一样，ePWM 和 eCAP 模块的划分需要使用 CPUSELx 寄存器来完成。

同步配置如图 5-37 所示。

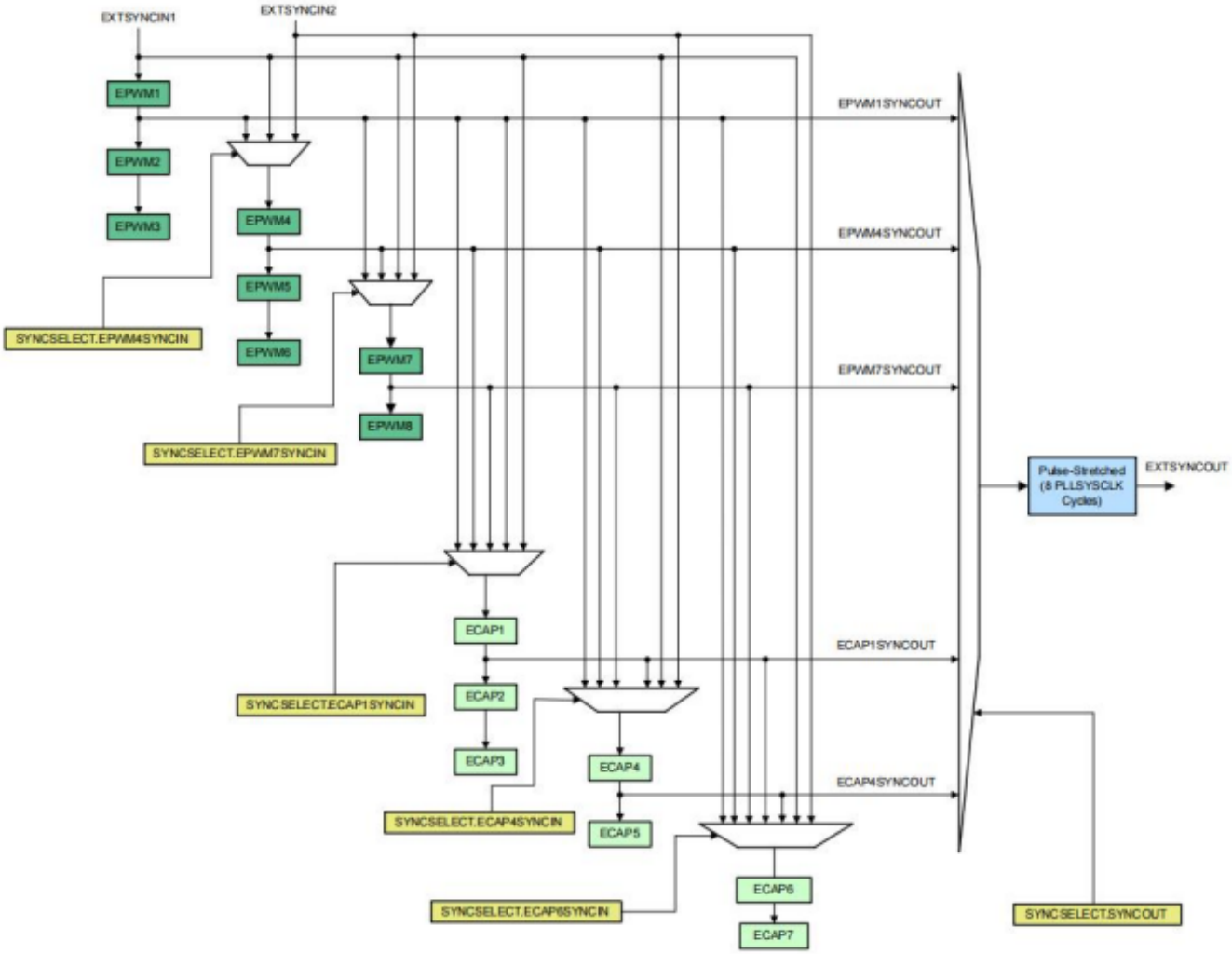


图 5-37. 同步链架构

5.9.3.2 ePWM电气数据和时序

第 5.10.3.2.1 节列出了 ePWM 时序要求，第 5.13.1.2.2 节列出了 ePWM 开关特性。

5.9.3.2.1 ePWM 时序要求

表 5-26. ePWM 时序要求

参数			最小值 最大值	单位
tw(SYNCIN)	同步输入脉冲宽度	异步	2tc(EPWMCLK)	cycles
		同步	2tc(EPWMCLK)	
		使用输入限定	1tc(EPWMCLK) + tw(IQSW)	

5.9.3.2.2 ePWM 开关特性

超过推荐的运行条件（除注明外）

表 5- 27. ePWM 开关特性

参数		最小值 最大值	单位
tw(PWM)	脉冲持续时间，PWMx输出高/低	12.5	ns
tw(SYNCOUT)	同步输出脉冲宽度	8tc(SYSCLK)	cycles
td(TZ-PWM)	延时时间，跳闸输入使PWM强制高 延时时间，跳闸输入使到PWM强制低 延时时间，跳闸输入使PWM Hi-Z	25	ns

5.9.3.2.3 Trip-Zone 输入时序

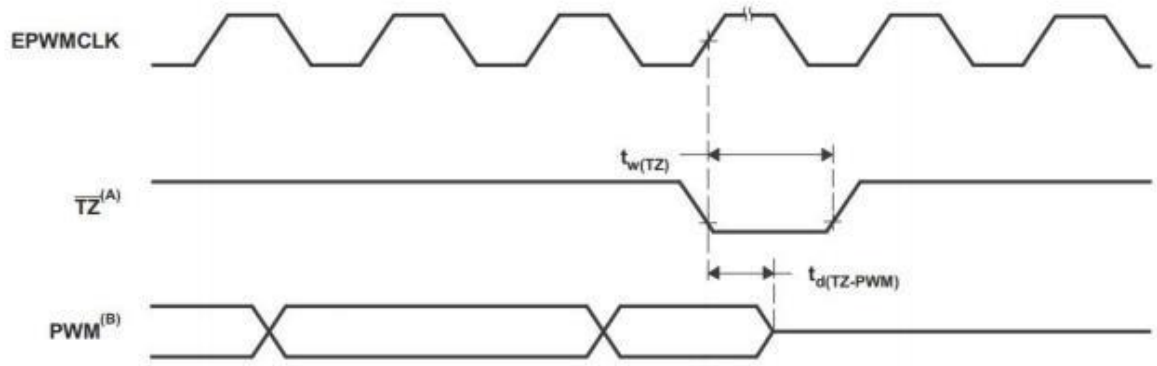


图 5-38. Trip-Zone 输入时序

（1） TZ : TZ1 、TZ2 、TZ3 、TRIP1 至 TRIP12

（2） PWM 指的是设备中所有的 PWM 引脚。TZ 至高后 PWM 引脚的状态由PWM 恢复软件恢复决定。

5.9.3.3 外部ADC转换脉冲开始的电气数据和时序

第 5.10.3.3.1 节列出了外部 ADC 转换开始的开关特性。ADCSOCAO或ADCSOCBO定时如图 5-39 所示。

5.9.3.3.1 外部ADC转换脉冲开始的开关特性

超出建议的运行条件(除非另有说明)

表 5-29.外部 ADC 转换脉冲开始的开关特性

参数		最小值 最大值	单位
tw(ADCSOCL)	$\overline{\qquad\qquad}$ 脉冲持续时间, ADCSOCxO 低	32tc(SYSCLK)	cycles

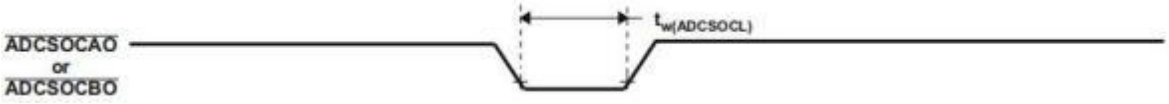


图 5-39. ADCSOCAO或ADCSOCBO时序

5.9.4 高分辨率脉冲宽度调制器(HRPWM)

HRPWM 将多个延迟线组合在一个模块中，并通过使用专用的校准延迟线简化校准系统。对于每个

ePWM 模块，有两个 HR 输出:

- 通道 A 的 HR 占空比与死区控制
- 通道 B 的 HR 占空比与死区控制

HRPWM 模块提供的 PWM 分辨率(时间间隔尺寸)明显优于使用传统的数字 PWM 方式所能实现的分辨率。

HRPWM 模块的关键点是:

- 显著提高了传统数字 PWM 的时间分辨率能力
- 此功能可用于单边缘(占空比和相移控制)以及频率/周期调制的双边缘控制。
- 通过对 ePWM 模块的Compare A, B，相位，周期和死区寄存器的扩展功能，可以控制更细的时

间粒度控制或边缘定位。

注意: HRPWM 允许的最低 HRPWMCLK 频率为 60 MHz。

5.9.4.1 HRPWM 电气数据和时序

第 5.10.4.1.1 节列出了高分辨率 PWM 开关特性。

5.9.4.1.1 高分辨率PWM 特性

表 5-30.高分辨率 PWM 特性

参数	最差值	典型值	最好值	单位
微边缘 (MEP) 定位步长(1) (TC=46P WC=82P BC=29P)	82	46	29	ps

(1) 在 VDD 上，MEP 步长在高温和最低电压时最大。MEP 步长随温度升高、电压降低而增大，随温度 降低、电压升高而减小。应用程序根据 HRPWM 特性应使用 MEP 比例因子优化器(SFO)估算软件功能。

(2) 当 HRPWM 工作时，SFO 函数会协助动态估算每个 SYSCLK 周期的 MEP 步数。

5.9.5 增强型正交编码器脉冲(eQEP)

eQEP 接口直接与线性或旋转增量编码器接口，从高性能运动和位置控制系统的旋转机器中获取位置、方向和速度信息。

eQEP 外设包括以下主要功能单元(如图 5-51 所示):

- 每个引脚均可编程输入(部分 GPIO MUX)
- 正交解码单元(QDU)
- 位置计数器和位置测量控制单元 (PCCU)
- 用于低速测量的正交边缘捕获单元 (QCAP)
- 测量速度/频率的单位时基 (UTIME)
- 检测档位的看门狗定时器(QWDOG)
- 正交模式适配器(QMA)

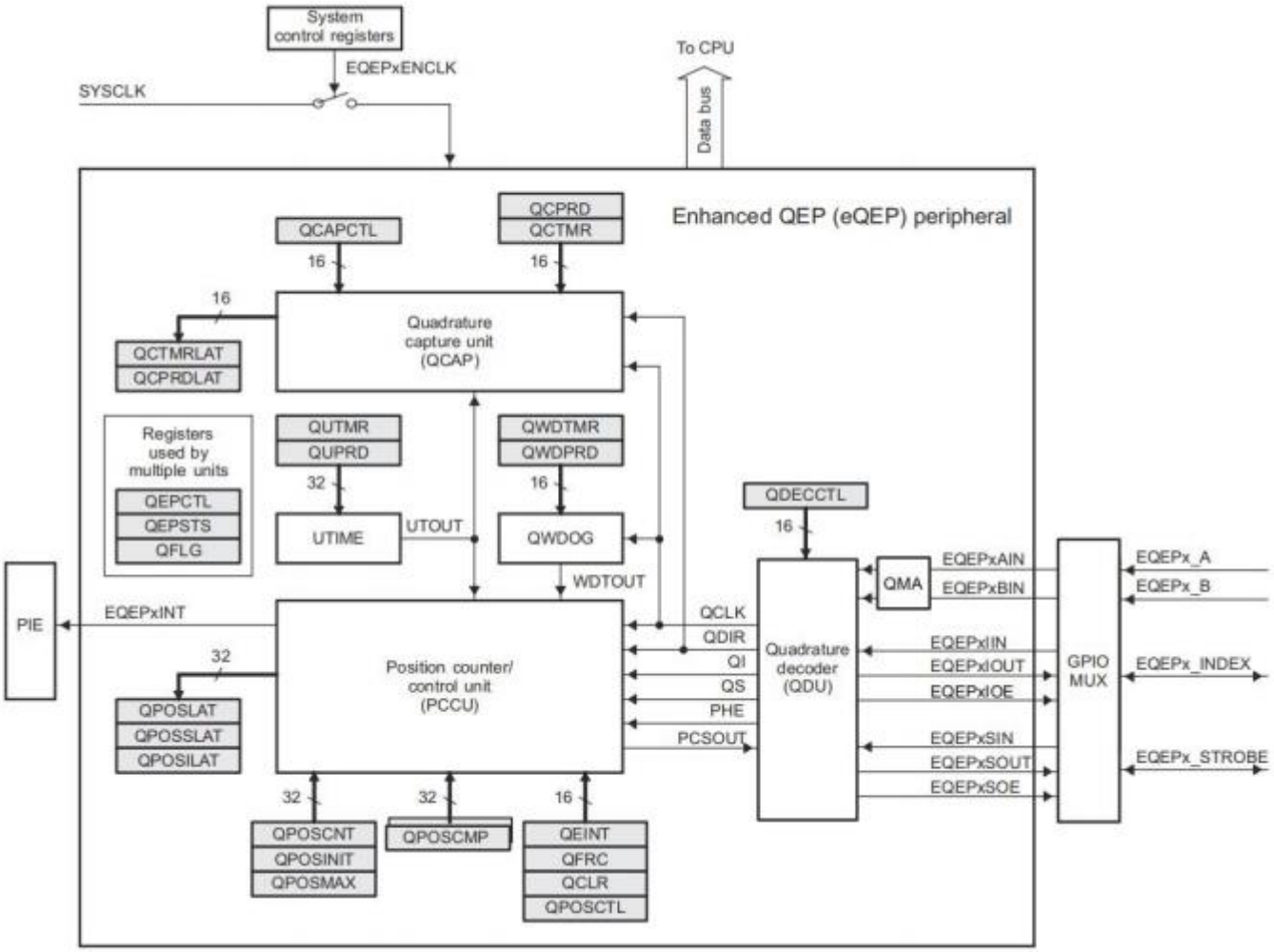


图 5-40. eQEP 框图

5.9.5.1 eQEP电气数据和时序

第 5.10.4.1.1 节列出了 eQEP 时序要求，第 5.10.4.1.2 节列出了 eQEP 切换特性。

5.9.5.1.1 eQEP 时序要求

表 5-31. eQEP时序要求

参数			最小值	最大值	单位
tw(QEPP)	QEP输入周期	同步(1)	2tc(SYSCLK)		cycles
		与输入限定同步	2[1tc(SYSCLK)+ tw(IQSW)]		
tw(INDEXH)	QEP Index Input High time 索引高输入时间	同步(1)	2tc(SYSCLK)		cycles
		与输入限定同步	2tc(SYSCLK) + tw(IQSW)		
tw(INDEXL)	QEP Index Input Low time 索引低输入时间	同步(1)	2tc(SYSCLK)		cycles
		与输入限定同步	2tc(SYSCLK) + tw(IQSW)		
tw(STROBH)	QEP Strobe input High time 闪烁高输入时间	同步(1)	2tc(SYSCLK)		cycles
		与输入限定同步	2tc(SYSCLK) + tw(IQSW)		
tw(STROBL)	QEP Strobe Input Low time 闪烁低输入时间	同步(1)	2tc(SYSCLK)		cycles
		与输入限定同步	2tc(SYSCLK) + tw(IQSW)		

(1)GPIO GPxQSELn 异步模式不应该用于 eQEP 模块的输入引脚。

5.9.5.1.2 eQEP 开关特性

理论设计指标（除非另作说明）

表 5-32. eQEP开关特性

参数		最小值	最大值	单位
td(CNTR)xin	延迟时间，外部时钟计数器增量		5tc(SYSCLK)	cycles
td(PCS-OUT)QEP	延迟时间，QEP 输入边沿到位置比较同步输出		7tc(SYSCLK)	cycles

5.9.6 Σ-Δ滤波器模块(SDFM)

SDFM 是一种四通道数字滤波器 ，专为电机控制应用中的电流测量和旋转变压器位置解码而设计。 每个通道都可 以接收独立的 Σ- Δ 调制位流。位流由四个独立可编程的数字抽取滤波器进行处理。该滤波器组包括快速比较 器 ，用于过流和欠流监测进行即时数字阈值比较。

SDFM 特性包括 ：

- 每个 SDFM 模块 8 个外部引脚
  - 每个 SDFM 模块 4 个 Σ- Δ 数据输入引脚 (SDx_D1-4)
  - 每个 SDFM 模块 4 个 Σ- Δ 时钟输入引脚 (SDx_C1-4)
- 4 种不同的可配置调制器时钟模式 ：
  - 模式 0 ：调制器时钟速率等于调制器数据速率
  - 模式 1 ：调制器时钟速率为调制器数据速率的一半
  - 模式 2 ：调制器数据为曼彻斯特编码。不需要调制器时钟。
  - 模式 3 ：调制器时钟速率为调制器数据速率的两倍
- 每个 SDFM 模块 4 个独立的可配置次级滤波器 (比较器) 单元 ：
  - 提供 4 个不同的滤波器类型选择 (Sinc1/Sinc2/Sincfast/Sinc3) 选项
  - 能够检测超值、低值和过零条件
  - 比较器滤波器单元的 OSR 值 (COSR) 可编程为 1 至 32
- 每个 SDFM 模块 4 个独立的可配置初级滤波器 (数据滤波器) 单元 ：
  - 提供 4 个不同的滤波器类型选择 (Sinc1/Sinc2/Sincfast/Sinc3) 选项
  - 数据滤波器单元的 OSR 值 (DOSR) 可编程为 1 至 256
  - 能够启用独立的滤波器模块
  - 可利用主滤波器使能 (MFE) 位或 PWM 信号使 SDFM 模块的所有 4 个独立滤波器实现同步
- 数据滤波器单元具有可编程 FIFO 来减少中断开销。 FIFO 具有以下特性 ：
  - 初级滤波器 (数据滤波器) 具有 16 深 × 32 位 FIFO
  - FIFO 可在达到可编程数量的数据就绪事件后中断 CPU

– FIFO 等待同步功能 ：能够忽略数据就绪事件 ，直至接收到 PWM 同步信号(SDSYNC)。一旦接收到 SDSYNC 事件 ，就会在每个数据就绪事件时填充 FIFO

– 数据滤波器输出可以用 16 位或 32 位表示

- 可根据每个数据滤波器通道将 PWMx.SOCA/SOCB 配置为 SDSYNC 源
- 可使用 PWM 为 ΔΣ 调制器生成调制器时钟

注意：应注意避免在 SDx_Cy 输入端出现噪声。如果不满足最小脉冲宽度要求(例如，通过噪声干扰)， 则 SDFM 结果可能会变为不明状态。

图 5-41 所示为 SDFM 方框图。

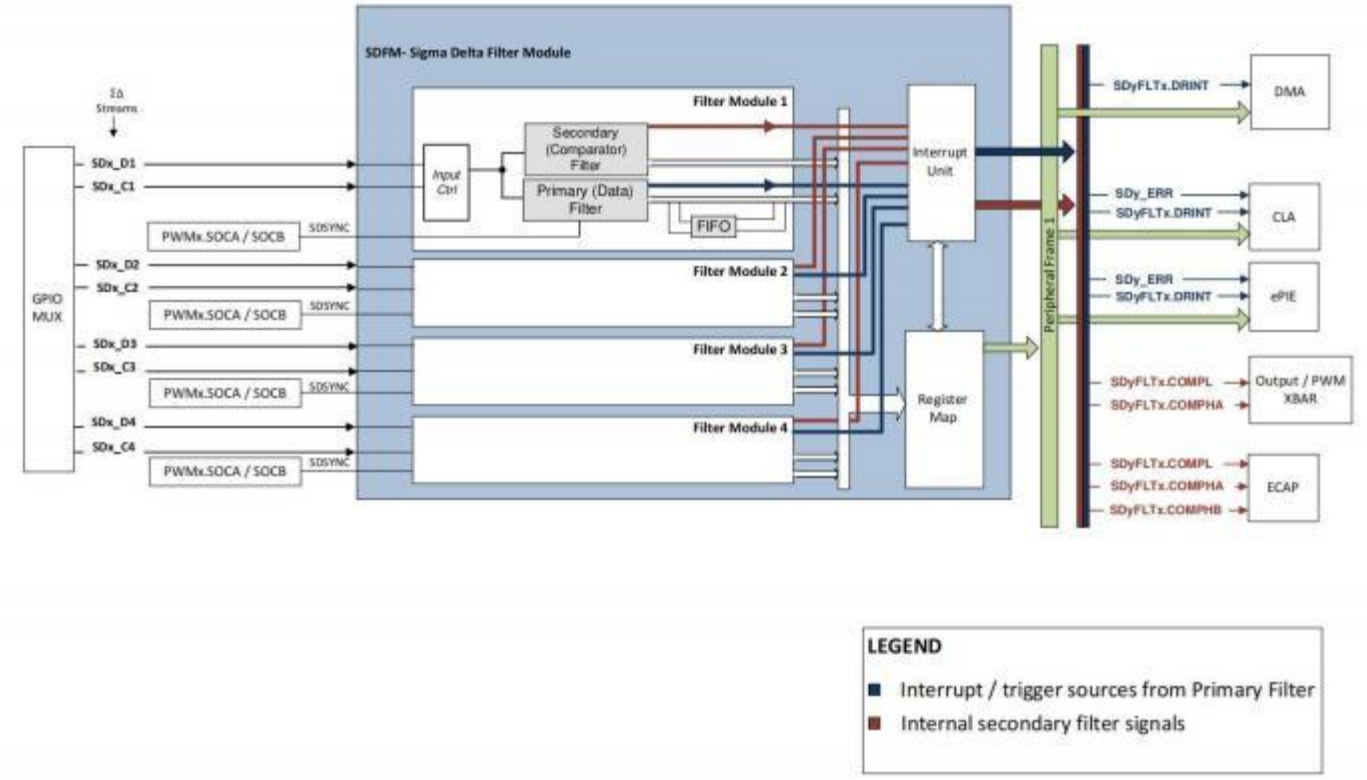


图 5-41. SDFM 方框图

通过设置 GPyQSELn = 0b 11 来定义具有异步 GPIO 的 SDFM 操作。

节 5.9.6.1.1 列出了使用异步 GPIO (ASYNC) 选项时的 SDFM 时序要求。

图 5-42、图 5-43、图 5-44 和图 5-45 所示为 SDFM 时序图。

5.9.6.1.1 使用异步 GPIO (ASYNC) 选项时的 SDFM 时序要求

理论设计指标（除非另作说明）

表 5-33. 异步 GPIO (ASYNC) 选项时的 SDFM 时序要求

		最小值	最大值	单位
模式 0				
$t_{c(SDC)M0}$	周期时间，SDx_Cy	40	256 个 SYSCLK 周期	ns
$t_{w(SDCH)M0}$	脉冲持续时间，SDx_Cy 高电平	10	$t_{c(SDC)M0}$ – 10	ns
$t_{su(SDDV-SDCH)M0}$	SDx_Cy 变为高电平之前 SDx_Dy 有效的设置时间	5		ns
$t_{h(SDCH-SDD)M0}$	SDx_Cy 变为高电平之后 SDx_Dy 等待的保持时间	5		ns
模式 1				
$t_{c(SDC)M1}$	周期时间，SDx_Cy	80	56个SYSCLK 周期	ns
$t_{w(SDCH)M1}$	脉冲持续时间，SDx_Cy 高电平	10	$t_{c(SDC)M1}$ – 10	ns
$t_{su(SDDV-SDCL)M1}$	SDx_Cy 变为低电平之前 SDx_Dy 有效的设置时间	5		ns
$t_{su(SDDV-SDCH)M1}$	SDx_Cy 变为高电平之前 SDx_Dy 有效的设置时间	5		ns
$t_{h(SDCL-SDD)M1}$	SDx_Cy 变为低电平之后 SDx_Dy 等待的保持时间	5		ns
$t_{h(SDCH-SDD)M1}$	SDx_Cy 变为高电平之后 SDx_Dy 等待的保持时间	5		ns
模式 2				
$t_{c(SDD)M2}$	周期时间，SDx_Dy	5 个 $t_{c(SYSCLK)}$	15 个 $t_{c(SYSCLK)}$	ns
$t_{w(SDDH)M2}$	脉冲持续时间，SDx_Dy 高电平	10		ns
$t_{w(SDD_LONG_KEEPOUT)M2}$	SDx_Dy 长脉冲持续保留时间，其中长脉冲不得落入所列出的最小值或最大值内。 长脉冲被定义为高或低脉冲，其是曼彻斯特位时钟周期的完整宽度。 对于 8 到 20 之间的任何整数，都必须满足此要求。	$(N * t_{c(SYSCLK)})$ – 0.5	$(N * t_{c(SYSCLK)})$ + 0.5	ns
$t_{w(SDD_SHORT)M2}$	用于高或低脉冲的 SDx_Dy 短脉冲持续时间（SDD_SHORT_H 或 SDD_SHORT_L）。 短脉冲定义为高或低脉冲，其是曼彻斯特位时钟周期的一半宽度。	$t_{w(SDD_LONG)}/2$ – $t_{c(SYSCLK)}$	$t_{w(SDD_LONG)}/2$ + $t_{c(SYSCLK)}$	ns
$t_{w(SDD_LONG_DUTY)M2}$	SDx_Dy 长脉冲变化（SDD_LONG_H – SDD_LONG_L）	– $t_{c(SYSCLK)}$	$t_{c(SYSCLK)}$	ns
$t_{w(SDD_SHORT_DUTY)M2}$	SDx_Dy 短脉冲变化（SDD_SHORT_H – SDD_SHORT_L）	– $t_{c(SYSCLK)}$	$t_{c(SYSCLK)}$	ns
模式 3				
$t_{c(SDC)M3}$	周期时间，SDx_Cy		40 256 个 SYSCLK 周期	ns
$t_{w(SDCH)M3}$	脉冲持续时间，SDx_Cy 高电平		10 $t_{c(SDC)M3}$ – 5	ns
$t_{su(SDDV-SDCH)M3}$	SDx_Cy 变为高电平之前 SDx_Dy 有效的设置时间			ns
$t_{h(SDCH-SDD)M3}$	SDx_Cy 变为高电平之后 SDx_Dy 等待的保持时间			ns

5.9.6.1.2 SDFM 时序图

注：当没有 GPIO 输入同步时 ，SDFM 时钟输入（SDx_Cy 引脚）直接对 SDFM 模块进行计时。这些 输入 端的任何干扰或振铃噪声都会破坏 SDFM 模块的运行。应对这些信号采取特殊的预防措施 ，以确保满足 SDFM 时序要求的干净且无噪声的信号。建议采取预防措施 ，例如对时钟驱动器的任何阻抗不匹配而导致的振铃进行串联终止 ， 以及将走线与其他噪声信号隔离开来。

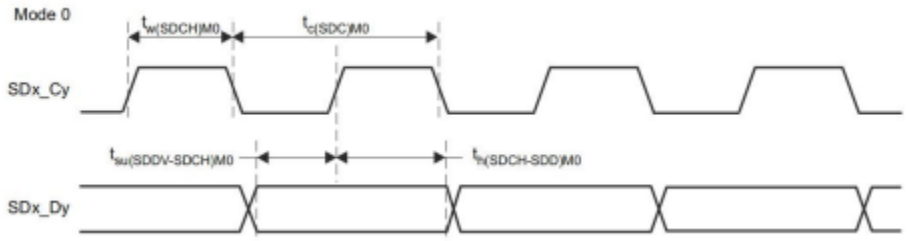


图 5- 42. SDFM 时序图 - 模式0

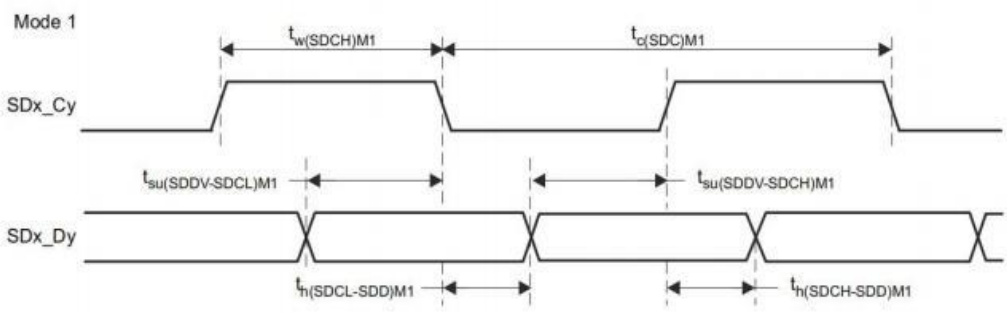
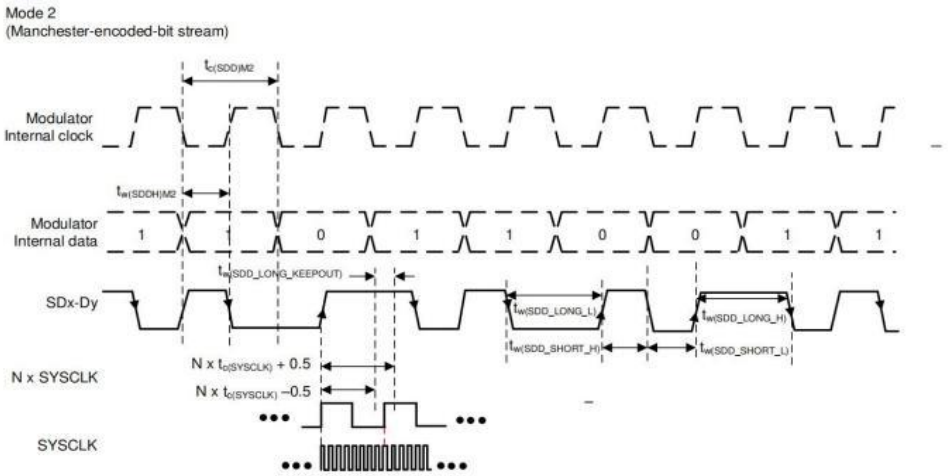
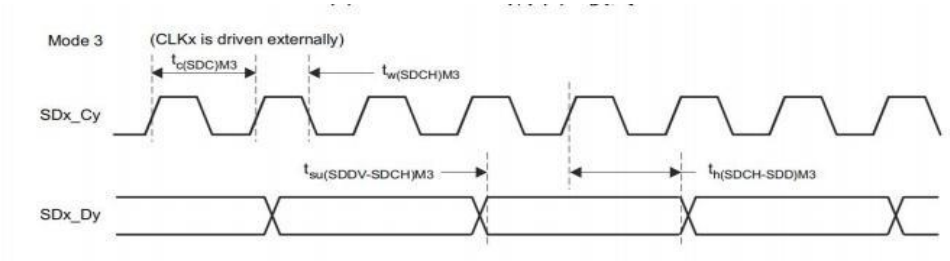


图 5- 43. SDFM 时序图 - 模式1



5- 44. SDFM 时序图 - 模式 2



5- 45. SDFM 时序图 - 模式 3

5.9.6.2 SDFM电气数据和时序（同步GPIO）

通过设置 GPyQSELn = 0b00来定义具有同步GPIO的SDFM操作。使用这种同步GPIO模式时， 必须满足 tw(GPI) 脉冲持续时间至少为2tc(SYSCLK) 的时序要求 为SD-Cx 和SD-Dx对配置 SYNC 选项非常重要。

节 5.9.6.2.1 列出了使用异步 GPIO (SYNC)选项时的 SDFM 时序要求。

图 5-42、图 5-43、图 5-44和图 5-45所示为 SDFM 时序图。

5.9.6.2.1 使用同步 GPIO (SYNC) 选项时的 SDFM 时序要求

理论设计指标（除非另作说明）

表 5- 34. 同步 GPIO (SYNC)选项时的 SDFM 时序要求

		最小值	最大值	单位
模式0				
$t_{c(SDC)M0}$	周期时间 ，SDx_Cy	5 个 SYSCLK 周期	256个 SYSCLK 周期	ns
$t_{w(SDCHL)M0}$	脉冲持续时间 ，SDx_Cy 高电平/低电平	2 个 SYSCLK 周期	3个 SYSCLK周期	ns
$t_{su(SDDV-SDCH)M0}$ 设置时间	SDx_Cy 变为高电平之前 SDx_Dy 有效的	2 个 SYSCLK 周期		ns
$t_{h(SDCH-SDD)M0}$	SDx_Cy 变为高电平之后 SDx_Dy 等待的保持时间	2 个 SYSCLK 周期		ns
模式1				
$t_{c(SDC)M1}$	周期时间 ，SDx_Cy	10个 SYSCLK 周期	256个 SYSCLK 周期	ns
$t_{w(SDCHL)M1}$	脉冲持续时间 ，SDx_Cy 高电平/低电平	2 个 SYSCLK 周期	8 个 SYSCLK周期	ns
$t_{su(SDDV-SDCL)M1}$	SDx_Cy 变为低电平之前 SDx_Dy 有效的设置时间	2 个 SYSCLK 周期		ns
$t_{su(SDDV-SDCH)M1}$	SDx_Cy 变为高电平之前 SDx_Dy 有效的设置时间	2 个 SYSCLK 周期		ns

$t_{h(SDCL-SDD)M1}$	SDx_Cy 变为低电平之后 SDx_Dy 等待的保持时间	2 个 SYSCLK 周期	ns
$t_{h(SDCH-SDD)M1}$	SDx_Cy 变为高电平之后 SDx_Dy 等待的保持时间	2 个 SYSCLK 周期	ns
模式2			
$t_{c(SDD)M2}$	周期时间 ，SDx_Dy	选项不可用	
$t_{w(SDDH)M2}$	脉冲持续时间 ，SDx_Dy 高电平		
模式3			
$t_{c(SDC)M3}$	周期时间 ，SDx_Cy	5个SYSCLK 周期 256 个 SYSCLK 周期	ns
$t_{w(SDCHL)M3}$	脉冲持续时间 ，SDx_Cy 高电平/低电平	2个 SYSCLK周期 3 个 SYSCLK周期	ns
$t_{su(SDDV-SDCH)M3}$	SDx_Cy 变为高电平之前 SDx_Dy 有效的设置时间	2个 SYSCLK 周期	ns
$t_{h(SDCH-SDD)M3}$	SDx_Cy 变为高电平之后 SDx_Dy 等待的保持时间	2个 SYSCLK 周期	ns

注意：SDFM 同步 GPIO (SYNC) 选项可以防止 SDFM 模块因 SDx_Cy 引脚上偶尔随机产生的噪声干扰而损坏，这些噪声干扰可能导致错误的比较器跳闸和滤波器输出。

SDFM 同步 GPIO (SYNC) 模式对持续违反上述时序要求的情况不提供保护。时序违规将损坏与违反要求的数据位数成正比的数据。

5.10 通信外设

5.10.1 控制局域网络(CAN)

CAN 模块使用称为 CAN FD 的 IP。本文档交替使用名称 CAN 和 CAN FD 来引用此外设。

CAN 模块实现了以下功能:

- 支持CAN规范
  - CAN2.0B (最多支持8字节的有效载荷，由Bosch参考模型进行验证)
  - 可选支持CAN FD (最多支持64字节的有效载荷，符合ISO 11898-1:2015或非ISO Bosch标准)
- 可自由编程的数据率：
  - CAN 2.0B定义了最高1Mbit/s的数据率
  - CAN FD受收发器和CAN-CTRL核心的时钟频率限制
- 可编程的波特率分频器（1至1/256）
- 主机接口和CAN协议机使用独立的时钟域
- 可配置的接收缓冲区（RB）大小
  - 通用参数选择缓冲区槽位数量
  - 类似FIFO的行为
  - 未被“接受”或“错误”的接收消息不会覆盖已存储的消息
- 两个发送缓冲区
  - 一个主要发送缓冲区（PTB）
  - 可选的可配置次要发送缓冲区（STB）

- STB是可选的。通用参数选择缓冲区槽位的数量
- 可以以FIFO或优先级决策模式运行
- 独立且可编程的内部29位验收滤波器
  - 可以通过通用参数选择验收滤波器的数量，范围为1到16

- 扩展功能
  - 单次发送模式（适用于PTB和/或STB）
  - 仅监听模式
  - 环回模式（内部和外部）
  - 收发器待机模式

- 扩展状态和错误报告
  - 捕获最后发生的错误类型和仲裁丢失位置
  - 可编程错误警告限制值
- 不同的主机控制器接口
  - 32位同步主机控制器接口；为8位主机提供包装
  - 32位AMBA APB协议规范v2.0
  - 32位AMBA 3 AHB-Lite协议v1.0
  - 32位Wishbone
  - 根据需求，可选的特定应用接口到主机控制器
- 可配置的中断源
- 一个双端口内存块或两个伪双端口内存块用于帧缓冲区
- 时间戳：
  - ISO 11898-4具有部分硬件支持的定时触发CAN
  - CiA 603时间戳
- 完全同步和可综合的HDL设计（Verilog 2001，VHDL 93）
- 兼容AUTOSAR
- 优化用于SAE J1939
- 包含Linux驱动程序

CAN 模块框图如图 5-46 所示。

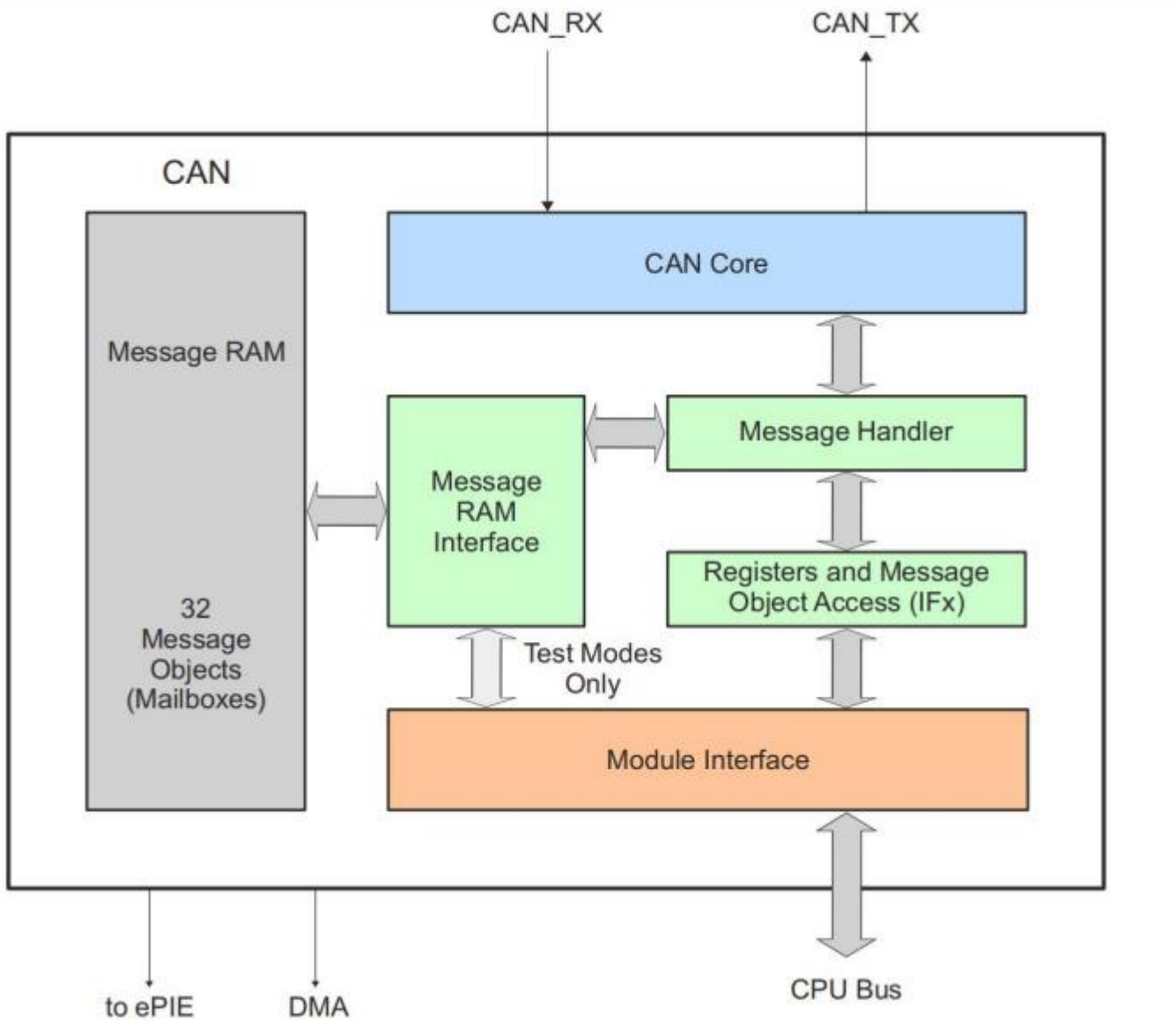


图 5- 46. CAN 框图

5.10.2 内置集成电路(I2C)

I2C 模块具有以下特点：

- 符合 NXP 半导体 I2C 总线规范(2.1 版)
  - 支持 8 位格式传输
  - 7 位和 10 位寻址模式
  - 通用寻呼
  - START 字节模式
  - 支持多个主发射机和从接收机
  - 支持多个从发射机和主接收机

- 主发送/接收和接收/发送组合模式
- 数据传输速率从 10kbps 提高到 400kbps(Fast-mode)

- 一个 16 字节的接收 FIFO 和一个 16 字节的发送FIFO
- 支持两个 ePIE 中断
  - I2Cx 中断-下列任何一条件都可以配置生成 I2Cx 中断 ：
- 发送就绪
- 接受就绪
- 存取寄存器就绪
- 未应答
- 仲裁丢失
- 检测停止状态
- 从机地址
  - I2Cx_FIFO 中断 ：
- 发送 FIFO 中断
- 接收 FIFO 中断
- 模块启用和禁用功能
- 自由数据格式模式

设备 I2C 外设模块接口如图 5-53 所示。

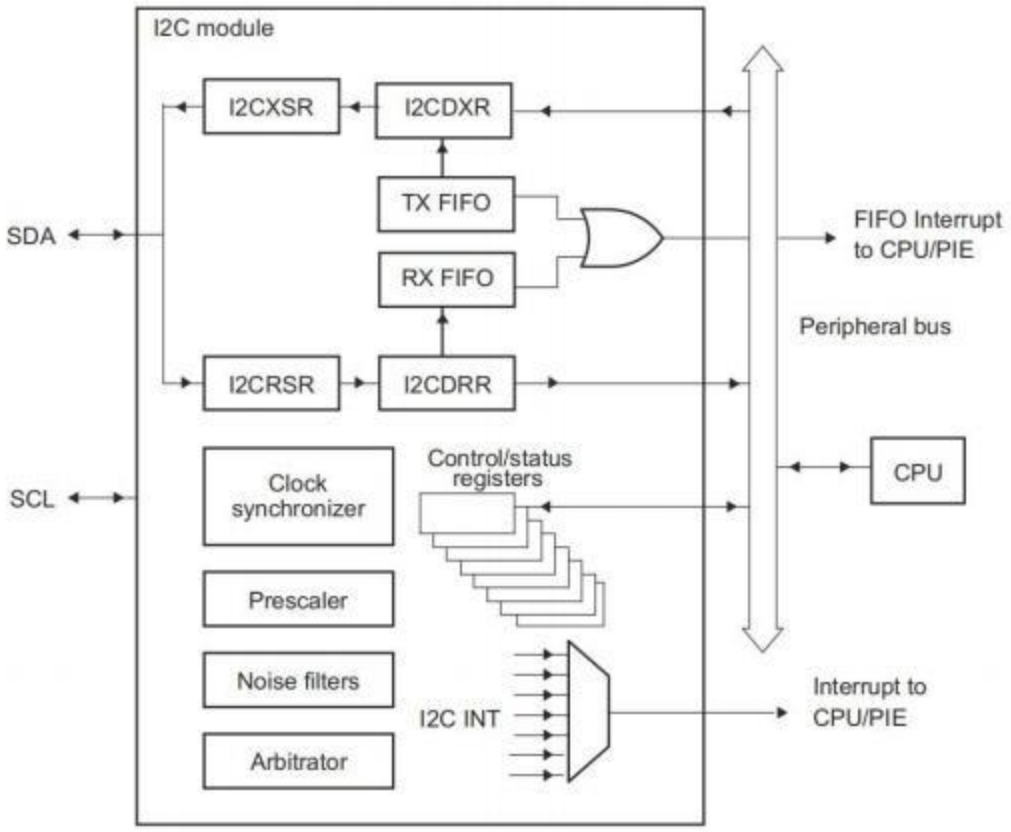


图 5- 47. I2C 外设模块接口

注意:为了满足所有 I2C 协议时序规范，I2C 模块时钟必须配置在 7MHz ~ 12MHz 范围内。

5.10.2.1 I2C电气数据和时序

I2C 定时要求请参见章节 5.10.2.1.1。I2C 开关特性请参见 5.10.2.1.2。I2C 时序示意图如图 5-48 所示。

5.10.2.1.1 I2C时序要求

表 5-35. I2C 时序要求

编号			最小值	单位
标准模式				
T0	f_{mod}	I2C 模块频率	7 12	MHz
T1	$t_{h(SDA-SCL)START}$	保持时间，启动条件，SDA 下降后 SCL 下降延迟	4.0	µs
T2	$t_{su(SCL-SDA)START}$	设置时间，重复启动，SDA 下降延迟之前 SCL 上升	4.0	µs
T3	$t_{h(SCL-DAT)}$	保持时间，SCL 下降后的数据	0	µs
T4	$t_{su(DAT-SCL)}$	设置时间，SCL 上升前的数据	250	ns
T5	$t_{r(SDA)}$	上升时间，SDA	1000	ns
T6	$t_{r(SCL)}$	上升时间，SCL	1000	ns
T7	$t_{f(SDA)}$	下降时间，SDA	300	ns
T8	$t_{f(SCL)}$	下降时间，SCL	300	ns
T9	$t_{su(SCL-SDA)STOP}$	设置时间，停止条件，SDA 上升延迟之前 SCL 上升	4.0	µs
T10	$t_{w(SP)}$	将由滤波器抑制的尖峰脉冲持续时间	0 50	ns
T11	C_b	每条总线上的电容负载	400	pF
快速模式				
T0	f_{mod}	I2C 模块频率	7 12	MHz
T1	$t_{h(SDA-SCL)START}$	保持时间，启动条件，SDA 下降后 SCL 下降延迟	0.6	µs
T2	$t_{su(SCL-SDA)START}$	设置时间，重复启动，SDA 下降延迟之前 SCL 上升	0.6	µs
T3	$t_{h(SCL-DAT)}$	保持时间，SCL 下降后的数据	0	µs
T4	$t_{su(DAT-SCL)}$	设置时间，SCL 上升前的数据	100	ns
T5	$t_{r(SDA)}$	上升时间，SDA	20 300	ns
T6	$t_{r(SCL)}$	上升时间，SCL	20 300	ns
T7	$t_{f(SDA)}$	下降时间，SDA	11.4 300	ns
T8	$t_{f(SCL)}$	下降时间，SCL	11.4 300	ns

编号		最小值	最大值	单位

T9	$t_{su(SCL-SDA)STOP}$	设置时间，停止条件，SDA 上升延迟之前 SCL 上升	0.6	μs
T10	$t_{w(SP)}$	将由滤波器抑制的尖峰脉冲持续时间	0 50	ns
T11	C_b	每条总线上的电容负载	400	pF

5.10.2.1.2 I2C 开关特性

在推荐的工作条件下（除非另有说明）

表 5- 36. I2C 开关特性

编号	参数		测试条件	最小值	最大值	单位
标准舆式						
S1	f_{SCL}	SCL 时钟频率		0	100	kHz
S2	T_{SCL}	SCL 时钟周期		10		μs
S3	$t_{w(SCLL)}$	脉冲持续时间，SCL 时钟低电平		4.7		μs
S4	$t_{w(SCLH)}$	脉冲持续时间，SCL 时钟高电平		4.0		μs
S5	t_{BUF}	停止和启动条件之间的总线空闲时间		4.7		μs
S6	$t_{v(SCL-DAT)}$	有效时间，SCL 下降后的数据			3.45	μs
S7	$t_{v(SCL-ACK)}$	有效时间，SCL 下降后的确认			3.45	μs
S8	I_I	引脚上的输入电流	0.1 V_{bus} < V_i < 0.9 V_{bus}	-10 10		μA
快速模试						
S1	f_{SCL}	SCL 时钟频率		0 400		kHz
S2	T_{SCL}	SCL 时钟周期		2.5		μs
S3	$t_{w(SCLL)}$	脉冲持续时间，SCL 时钟低电平		1.3		μs
S4	$t_{w(SCLH)}$	脉冲持续时间，SCL 时钟高电平		0.6		μs
S5	t_{BUF}	停止和启动条件之间的总线空闲时间		1.3		μs
S6	$t_{v(SCL-DAT)}$	有效时间，SCL 下降后的数据		0.9		μs
S7	$t_{v(SCL-ACK)}$	有效时间，SCL 下降后的确认		0.9		μs
S8	I_I	引脚上的输入电流	0. 1 V_{bus} < V_i < 0.9 V_{bus}	-10 10		μA

5.10.2.1.3 I2C 时序图

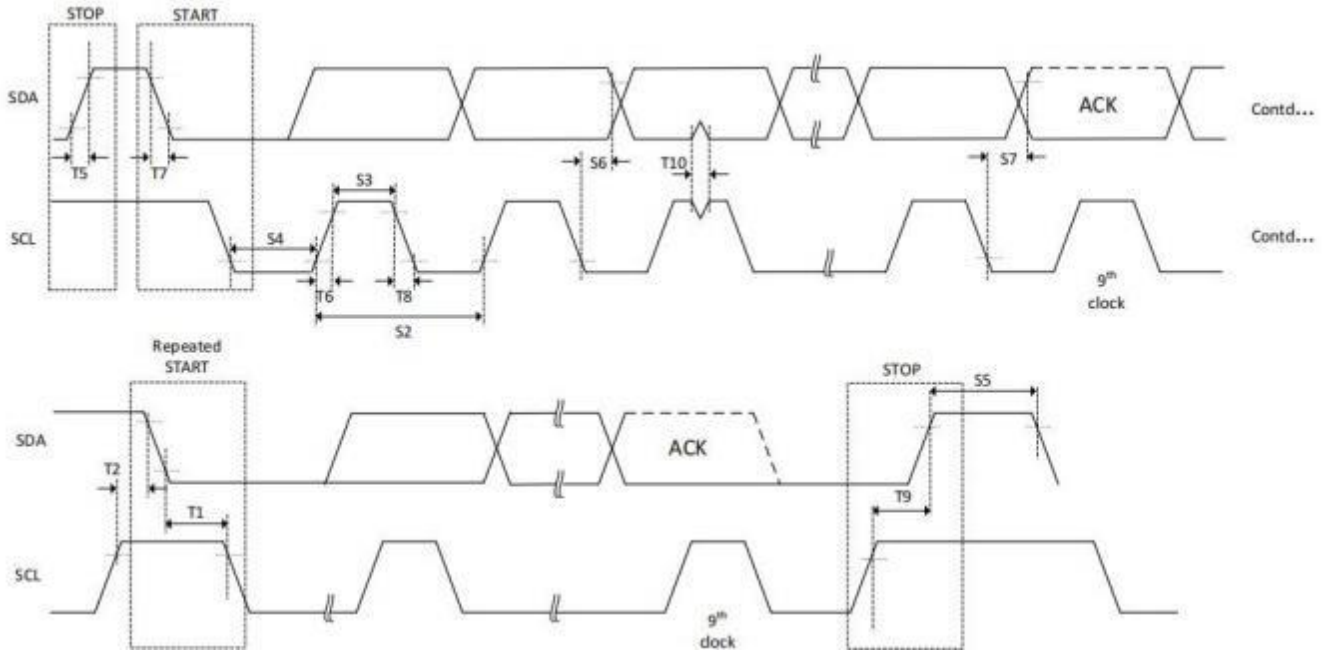


图 5- 48. I2C 时序图

5.10.3 电源管理总线(PMBus) 接口

PMBus 模块具有以下特点:

- 符合 SMI 论坛 PMBus 规范(Part I v1.0 和 Part II v1.1)
- 支持主和从模式
- 支持 I2C 模式
- 支持两种速率
  - 标准模式 ： 最高达 100 kHz
  - 快速模式 ： 400 kHz
- 数据包错误检验
- 控制和警报信号
- 时钟高电平和低电平超时
- 4 字节发送和接收缓冲区
- 一个可屏蔽中断，它可以由以下条件生成 ：
  - 接收数据就绪
  - 发送缓冲区为空
  - 从地址接收
  - 报文结束

- ALERT 输入提示
- 时钟低超时
- 时钟高超时
- 总线空闲

PMBus 模块框图如图 5-49 所示。

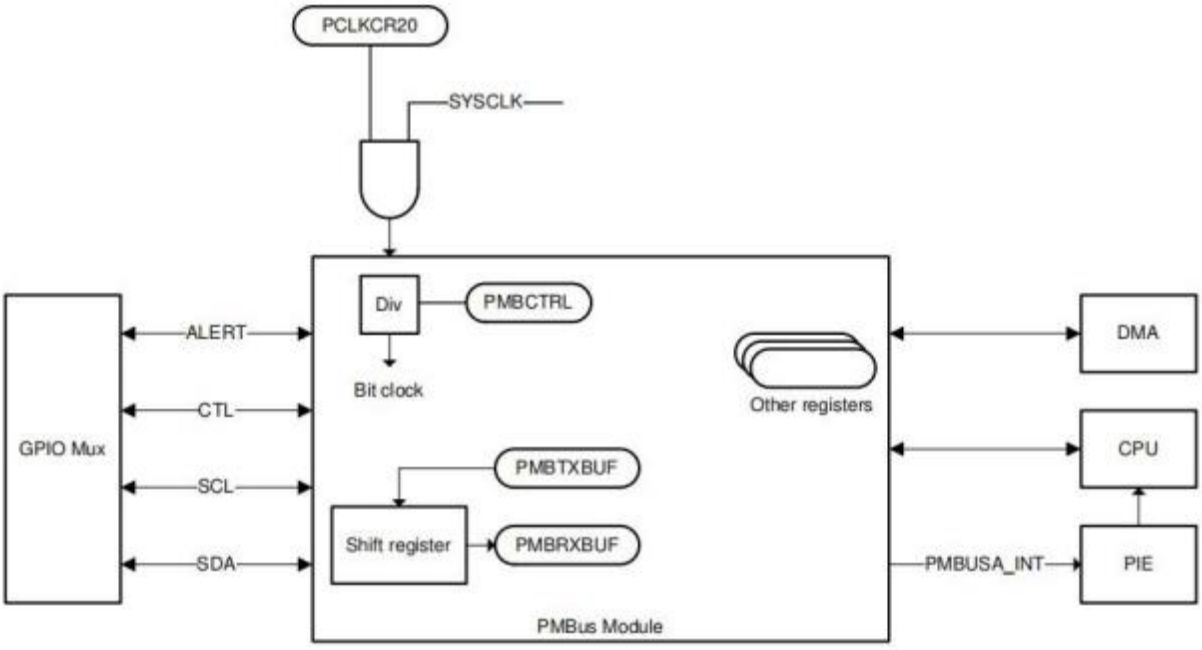


图 5- 49. PMBus 框图

第 5.10.3.1.1 节列出了 PMBus 电气特性。章节 5.10.3.1.2 列出了 PMBUS 快速模式的开关特性。

章节 5.10.3.1.3 列出了 PMBUS 标准模式的开关特性。

5.10.3.1.1 PMBus 电气特性

在建议运行条件下测得（除非另有说明）

表 5- 37. PMBUS 电气特性

参数		测试条件	最小值 典型值 最大值	单位
V_{IL}	有效低电平输入电压电压		0.8	V
V_{IH}	有效高电平输入电压		2.1 VDDIO	V
V_{OL}	低电平输出电压	At I_{pullup} = 4 mA	0.4	V
I_{OL}	低电平输出电流	V_{OL} ≤ 0.4 V	4	mA
t_{SP}	输入滤波器必须抑制的脉冲宽度		0 50	ns
I_i	在每个引脚上输入漏电流	0.1 Vbus < Vi < 0.9 Vbus	–10 10	µA
C_i	每个引脚的电容		10	pF

5.10.3.1.2 PMBus 快速模式的开关特性

理论设计指标（除非另作说明）

参数		测试条件	最小值 典型值 最大值	单位
f_{SCL}	SCL 时钟频率		10 400	kHz
t_{BUF}	在STOP 和START 之间的总线空闲时间		1.3	µs
$t_{HD;STA}$	START 条件保持时间-- SDA fall to SCL fall delaySDA 下降到 SCL 下降的延迟		0.6	µs
$t_{SU;STA}$	重复 START 建立时间 -- SCL rise to SDA fall delaySCL 上升到SDA 下降之间的延时		0.6	µs
$t_{SU;STO}$	STOP 条件建立时间 -- SCL 上升到SDA 上升的延迟		0.6	µs
$t_{HD;DAT}$	在SCL 下降后的保持时间		300	ns
$t_{SU;DAT}$	在SCL 上升前的建立时间		100	ns
$t_{Timeout}$	时钟低超时		25 35	ms
t_{LOW}	低周期的SCL 时钟		1.3	µs
t_{HIGH}	高周期的SCL 时钟		0.6 50	µs
$t_{LOW;SEXT}$	累计时钟低延时间(从设备)	从 START 到 STOP	25	ms
$t_{LOW;MEXT}$	累计时钟低延时间（主设备）	每个字节内	10	ms
t_r	SDA 和SCL 的上升时间	5% 至 95%	20 300	ns
t_f	SDA 和SCL 的下降时间	95% 至 5%	20 300	ns

5.10.3.1.3 PMBus 标准模式的开关特性

理论设计指标（除非另作说明）

表 5- 39. PMBUS 标准模式开关特性

参数		测试条件	最小值	典型值	最大值	单位
f_{SCL}	SCL 时钟频率		10 100			kHz
t_{BUF}	在 STOP 和 START 之间的总线空闲时间		4.7			µs
$t_{HD;STA}$	START 条件保持时间-- SDA fall to SCL fall delaySDA 下降到 SCL 下降 的延迟		4			µs
$t_{SU;STA}$	重复 START 建立时间 -- SCL rise to SDA fall delaySCL 上升到 SDA 下 降之间的延时		4.7			µs
$t_{SU;STO}$	STOP 条件建立时间 -- SCL 上升到 SDA 上升的延迟		4			µs
$t_{HD;DAT}$	在 SCL 下降后的保持时间		300			ns
$t_{SU;DAT}$	在 SCL 上升前的建立时间		250			ns
$t_{Timeout}$	时钟低超时		25 35			ms
t_{LOW}	低周期的SCL 时钟		4.7			µs
t_{HIGH}	高周期的SCL 时钟		4 50			µs
$t_{LOW;SEXT}$	累计时钟低延时间（从设备）	从 START 至 STOP			25	ms
$t_{LOW;MEXT}$	累计时钟低延时间（主设备）	每个字节内			10	ms
t_r	SDA 和SCL 的上升时间				1000	ns
t_f	SDA 和SCL 的下降时间				300	ns

5.10.4 串行通信接口(SCI)

SCI 是一种两线异步串行端口，通常称为 UART。SCI模块支持 CPU 和其他使用标准非归零(NRZ) 格式的异步外设的数字通信。SCI接收器和发射器都有一个 16 层的FIFO，可以减少CPU 工作开销， 每个都有单独的使能和中断位。可以独立进行半双工通信，或同时进行全双工通信。为了确定数据 完整性，SCI检查接收到的数据是否有中断检查、奇偶校验、溢出和帧格式错误。通过 16 位寄存器修改可以编程不同的波特率速度。

SCI模块的特点包括:

两个外部引脚 :（如果不用于 SCI，则两个引脚都可以用作 GPIO）

- SCITXD: SCI 发送输出引脚
- SCIRXD: SCI 接收输入引脚
- 波特率可编程到921600 不同的速率

- 数据字格式:
  - 1 起始位
  - 数据字长可编程从 1 到 8 位
  - 可选偶数/奇数/无奇偶 校验位
  - 1 或 2 个停止位
- 4 个错误检测标志:奇偶校验，溢出，帧格式和中断检测
- 半双工或全双工操作
- 双缓冲接收和发送功能
- 发射器和接收器操作可以通过带有状态标志的中断驱动或轮询算法来完成
  - 发射器:TXRDY 标志(发射器-缓冲寄存器准备接收另一个字符 char)和 TX_EMPTY 标志(发射器-移位寄存器为空)
  - 接收器:RXRDY 标志(接收缓冲区寄存器准备接收另一个字符 char)，BRKDT 标志(中断条件发 生)，RX_ERROR 标志(监控四种中断条件)
- 独立的发射机和接收机的中断使能位(BRKDT 除外)
- 16 级发送和接收 FIFO

注意：此模块中的所有寄存器都是 8 位寄存器。当访问寄存器时，寄存器数据位于低字节(位7-0)，高字节(位 15-8)被读取为零。写入高字节没有效果。

SCI 框图如图 5-50 所示。

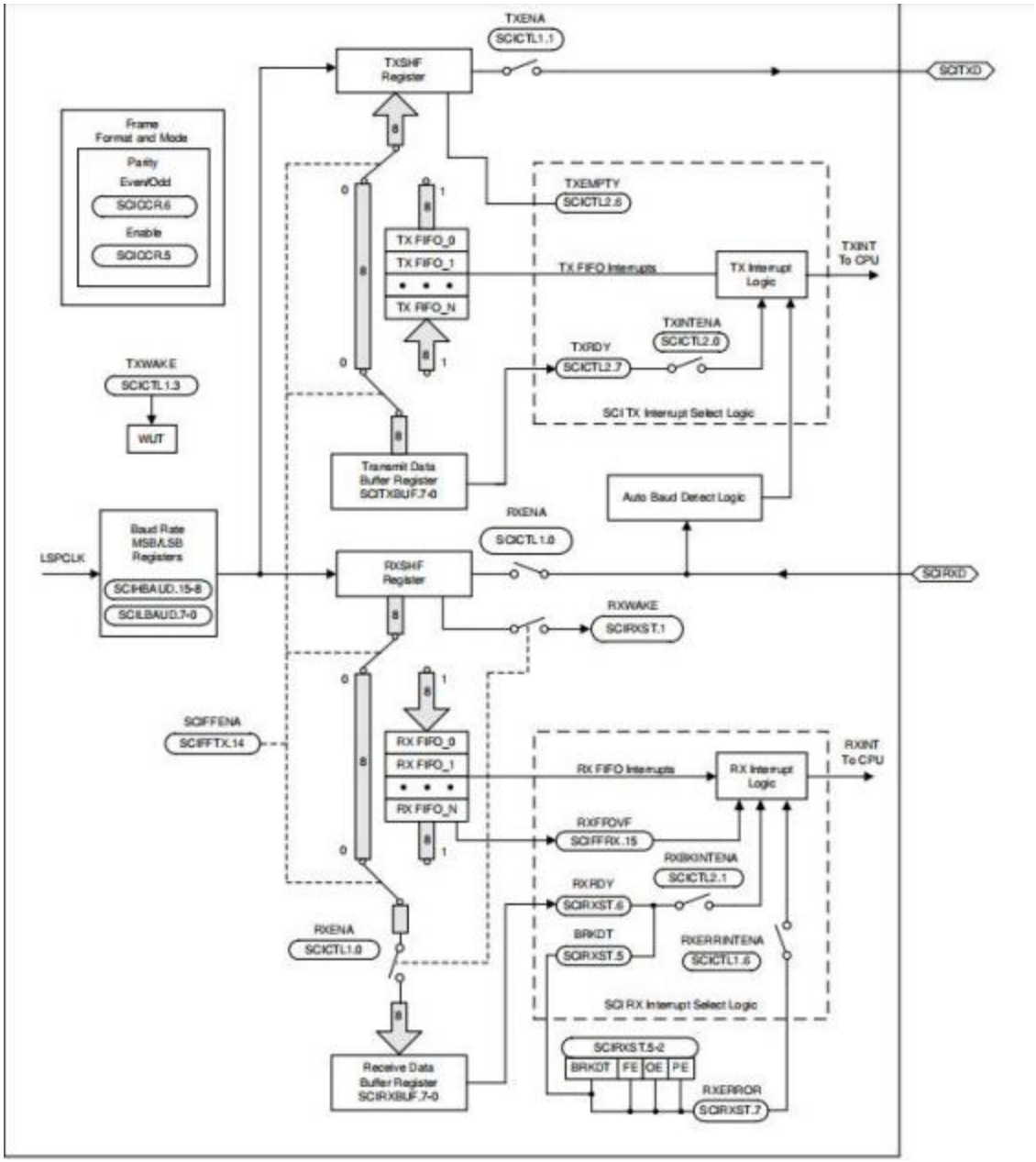


图 5- 50. SCI 框图

5.10.5 串行外设接口(SPI)

串行外设接口(SPI)是一个高速同步串行输入和输出(I/O)端口，允许一个可编程长度(4~32位) 的串行比特流被移进和移出设备，可根据配置的传输速率传输。SPI通常用于 DSP 控制器与外设或 其他控制器之间的通信。典型的应用包括通过移位寄存器、显示驱动和模数转换器（ADC 等)设备进 行外部 I/O 或外围扩展。SPI 的主或从运行支持多设备通信。支持 8 级收发FIFO，可减少CPU 工作开销。

SPI模块的特点包括:

- ADC 中断和 EVT 信号SPISOMI : SPI 从输出/主输入引脚
- SPISIMO: SPI 从输入/主输出引脚
- SPSTE ：SPI 从传输使能引脚
- SPICLK: SPI 串行时钟引脚
- 两种操作模式:主和从
- 波特率:65530 个不同的可编程速率。可用的最大波特率受限于 SPI 引脚上 I/O 缓冲区的最大速度。
- 数据字长:4 ~ 32 位
- 四种时钟策略(由时钟极性和时钟相位位控制)包括:
  - 无相位延迟下降沿：SPICLK 高电平有效。SPI 在 SPICLK 信号的下降沿传输数据，在 SPICLK 信号的上升沿接收数据。
  - 有相位延迟下降沿: SPICLK 高电平有效。SPI在 SPICLK 信号下降沿前半个周期发送数据， 在 SPICLK 信号的下降沿接收数据。
  - 无相位延迟的上升沿：SPICLK 低电平无效。SPI 在 SPICLK 信号的上升沿发送数据，在 SPICLK 信号的下降沿接收数据。
  - 有相位延迟的上升沿: SPICLK 低电平无效。 SPI在 SPICLK 信号上升沿前半个周期发送数

    据，并在 SPICLK 信号上升沿接收数据。
- 同时进行收发操作(可在软件中禁用发送功能)
- 发送机和接收机操作通过中断驱动或轮询算法来完成
- 8 级 发送/接收 FIFO
- 支持 DMA
- 3-线 SPI 模式

SPI CPU 接口如图 5-51 所示。

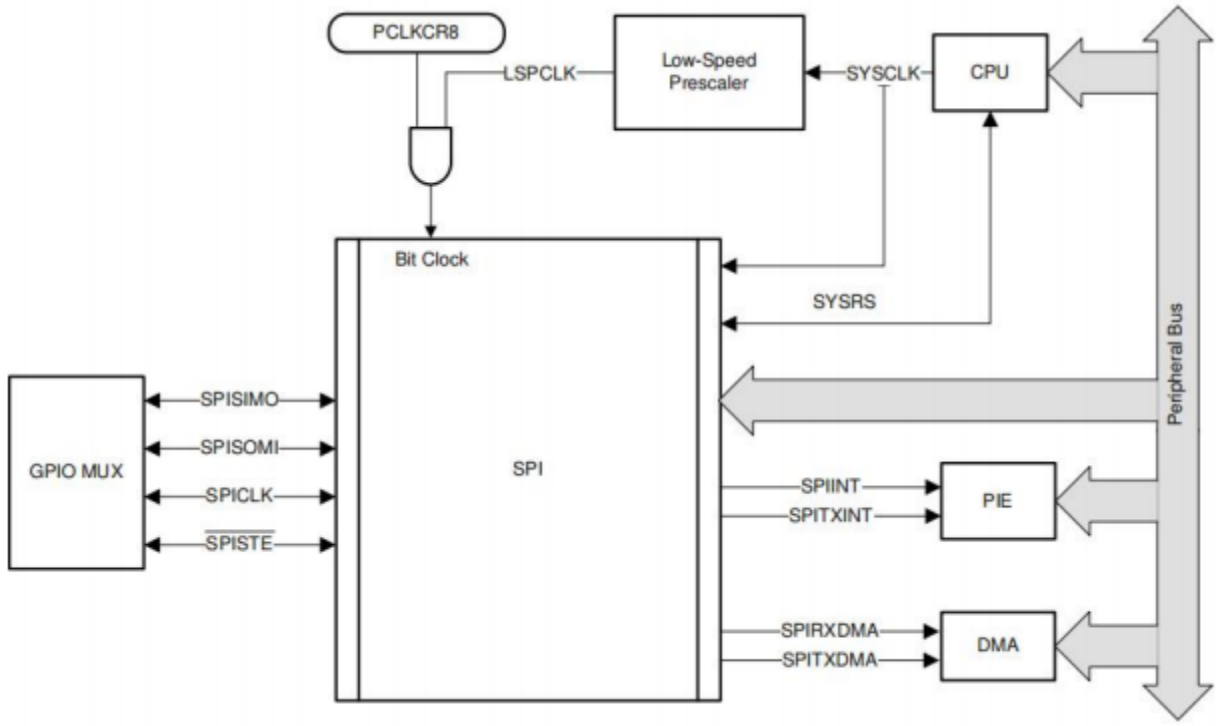


图 5- 51. SPI CPU 接口

5.10.5.1 SPI 主模式时序

第 5.10.5.1.1 节列出了 SPI 主模式时序要求。

第 5.10.5.1.2 节列出了 SPI 主模式开关特性，其中时钟相位= 0。时钟相位为 0 的 SPI 主模式

外部时序如图 7-58 所示。

第 5.10.5.1.3 节列出了时钟相位= 1 的 SPI 主模式切换特性。时钟相位为 1 的 SPI 主模式外部

时序如图 7-59 所示。

注意：SPI 高速模式的所有定时参数在 SPICLK、SPISIMO 和 SPISOMI 上假定负载电容为 5pf。

5.10.5.1.1 SPI主模式定时要求

表 5- 40. SPI 主模式定时要求

NO.			(BRR + 1) (1)	最小值	最大值	单位
高速模式						
8	$t_{su(SOMI)M}$	建立时间,SPISOMI 在SPICLK 之前有效	偶数，奇数	1		ns
9	$t_{h(SOMI)M}$	保持时间, SPISOMI 在 SPICLK 之后有效	偶数，奇数	5		ns
正常模式						
NO.			**(BRR + 1) (1)**	**最小值**	**最大值**	**单位**
8	$t_{su(SOMI)M}$	建立时间, SPISOMI 在SPICLK 之前有效	偶数，奇数	15		ns
9	$t_{h(SOMI)M}$	保持时间, SPISOMI 在SPICLK 之后有效	偶数，奇数			ns

（1）当(SPIBRR + 1)为偶数或 SPIBRR 为 0 或 2 时， (BRR + 1)条件为偶数。当(SPIBRR + 1)为奇数且 SPIBRR 大于 3 时为奇数。

5.10.5.1.2 SPI 主模式开关特性(时钟相位= 0)

理论设计指标（除非另作说明）

表 5-41. SPI 主模式开关特性(时钟相位= 0)

NO.	参数		(BRR + 1)(1)	最小值	最大值	单位
通用						
1	$t_{c(SPC)M}$	周期时间 ，SPICLK	偶数	$4t_{c(LSPCLK)}$	$128t_{c(LSPCLK)}$	ns
			奇数	$5t_{c(LSPCLK)}$	$127t_{c(LSPCLK)}$	
2	$t_{w(SPC1)M}$	脉冲持续时间，SPICLK ，第一个脉冲	偶数	$0.5t_{c(SPC)M} - 1$	$0.5t_{c(SPC)M} + 1$	ns
			奇数	$0.5t_{c(SPC)M} + 0.5t_{c(LSPCLK)} - 1$	$0.5t_{c(SPC)M} + 0.5t_{c(LSPCLK)} + 1$	
3	$t_{w(SPC2)M}$	脉冲持续时间，SPICLK ，第二个脉冲	偶数	$0.5t_{c(SPC)M} - 1$	$0.5t_{c(SPC)M} + 1$	ns
			奇数	$0.5t_{c(SPC)M} - 0.5t_{c(LSPCLK)} - 1$	$0.5t_{c(SPC)M} - 0.5t_{c(LSPCLK)} + 1$	
23	$t_{d(SPC)M}$	延迟时间，SPISTE到SPICLK 有效	偶数	$1.5t_{c(SPC)M} - 3t_{c(SYSCLK)} - 3$	$1.5t_{c(SPC)M} - 3t_{c(SYSCLK)} + 3$	ns
			奇数	$1.5t_{c(SPC)M} - 4t_{c(SYSCLK)} - 3$	$1.5t_{c(SPC)M} - 4t_{c(SYSCLK)} + 3$	
24	$t_{v(STE)M}$	有效时间, SPICLK 到 SPISTE无效	偶数	$0.5t_{c(SPC)M} - 3$	$0.5t_{c(SPC)M} + 3$	ns
			奇数	$0.5t_{c(SPC)M} - 0.5t_{c(LSPCLK)} - 3$	$0.5t_{c(SPC)M} - 0.5t_{c(LSPCLK)} + 3$	
高速模式						
4	$t_{d(SIMO)M}$	延迟时间，SPICLK 到SPISIMO 有效	偶数， 奇数		1	ns
	$t_{v(SIMO)M}$	有效时间，在 SPICLK 后SPISIMO 有效	偶数	$0.5t_{c(SPC)M} - 3$		

5			奇数	$0.5t_{c(SPC)M} – 0.5t_{c(LSPCLK)} – 3$	ns
普通模式					
4	$t_{d(SIMO)M}$	延迟时间，SPICLK 到SPISIMO 有效	偶数，奇数	1	ns
5	$t_{v(SIMO)M}$	有效时间，在 SPICLK 后SPISIMO 有效	偶数	$0.5t_{c(SPC)M} – 3$	ns
			奇数	0.5tc(SPC)M – 0.5tc(LSPCLK) – 3	

（1）当(SPIBRR + 1)为偶数或 SPIBRR 为 0 或 2 时， (BRR + 1)为偶数。当(SPIBRR + 1)为奇数且 SPIBRR 大于 3 时为奇数。

5.10.5.1.3 SPI主模式开关特性(时钟相位= 1)

理论设计指标（除非另作说明）

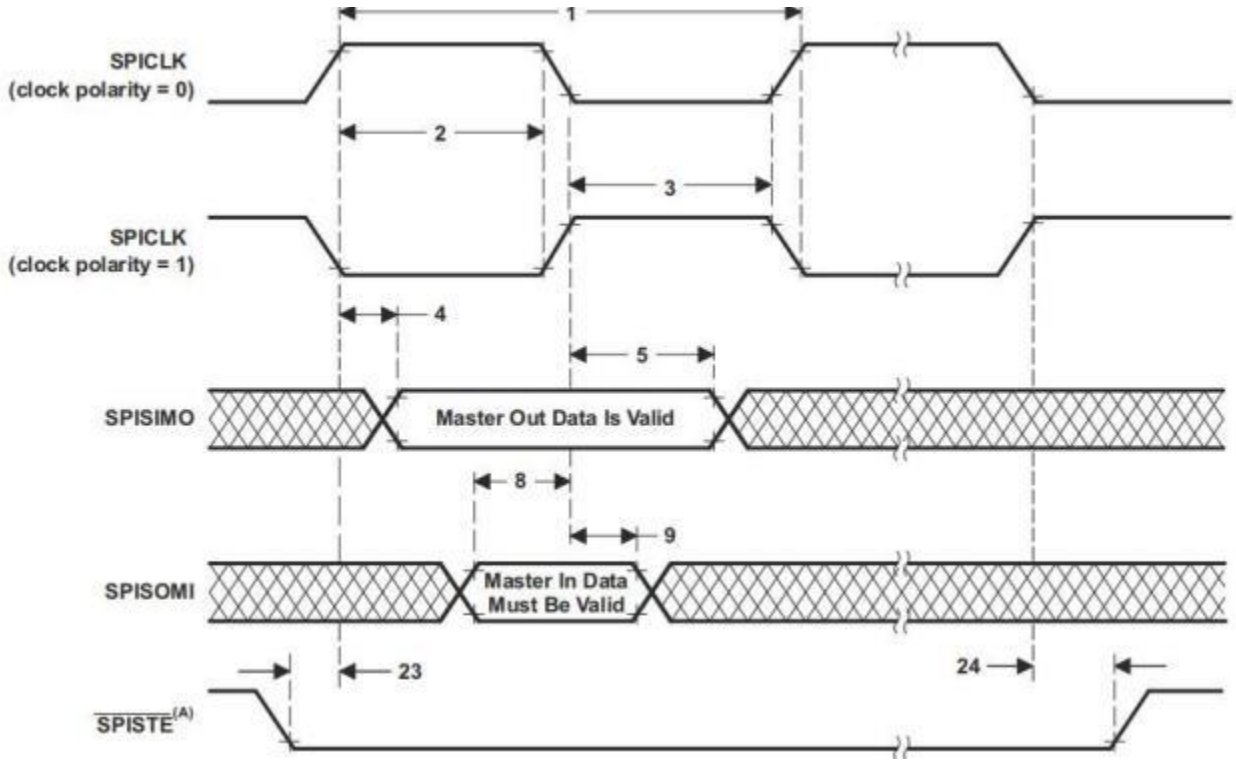
表 5- 42. SPI 主模式开关特性(时钟相位= 1)

NO.	参数		(BRR + 1)	最小	最大值	单位
通用						
1	$t_{c(SPC)M}$	周期时间，SPICLK	偶数	$4t_{c(LSPCLK)}$	$128t_{c(LSPCLK)}$	ns
			奇数	$5t_{c(LSPCLK)}$	$127t_{c(LSPCLK)}$	
2	$t_{w(SPCH)M}$	脉冲持续时间，SPICLK,第一脉冲	偶数	$0.5t_{c(SPC)M} – 1$	$0.5t_{c(SPC)M} + 1$	ns
			奇数	$0.5t_{c(SPC)M} – 0.5t_{c(LSPCLK)} – 1$	$0.5t_{c(SPC)M} – 0.5t_{c(LSPCLK)} + 1$	
3	$t_{w(SPC2)M}$	脉冲持续时间，SPICLK,第二脉冲	偶数	$0.5t_{c(SPC)M} – 1$	$0.5t_{c(SPC)M} + 1$	ns
			奇数	$0.5t_{c(SPC)M} + 0.5t_{c(LSPCLK)} – 1$	$0.5t_{c(SPC)M} + 0.5t_{c(LSPCLK)} + 1$	
23	$t_{d(SPC)M}$	延迟时间， $\overline{SPISTE}$ 到SPICLK 有效	偶数，奇数	$2t_{c(SPC)M} – 3t_{c(SYSCLK)} – 3$	$2t_{c(SPC)M} – 3t_{c(SYSCLK)} + 2$	ns
24	$t_{d(STE)M}$	延迟时间, SPICLK 到$\overline{SPISTE}$无效	偶数	–32		ns
			奇数	–32		
高速模式						
4	$t_{d(SIMO)M}$	延迟时间，SPISIMO 到 SPICLK 为有效	偶数	$0.5t_{c(SPC)M} – 2$		ns
			奇数	$0.5t_{c(SPC)M} + 0.5t_{c(LSPCLK)} – 2$		
5	$t_{v(SIMO)M}$	有效时间，SPISIMO 在SPICLK 后SPISIMO 有效	偶数	$0.5t_{c(SPC)M} – 3$		ns
			奇数	$0.5t_{c(SPC)M} – 0.5t_{c(LSPCLK)} – 3$		
普通模式						
	$t_{d(SIMO)M}$		偶数	$0.5t_{c(SPC)M} – 2$		

4		延迟时间，SPISIMO 到SPICLK 为有效	奇数	$0.5t_{c(SPC)M} + 0.5t_{c(LSPCLK)} - 2$	ns
5	$t_{v(SIMO)M}$	有效时间，在 SPICLK 之后SPISIMO 有效	偶数	$0.5t_{c(SPC)M} - 3$	ns
			奇数	$0.5t_{c(SPC)M} - 0.5t_{c(LSPCLK)} - 3$	

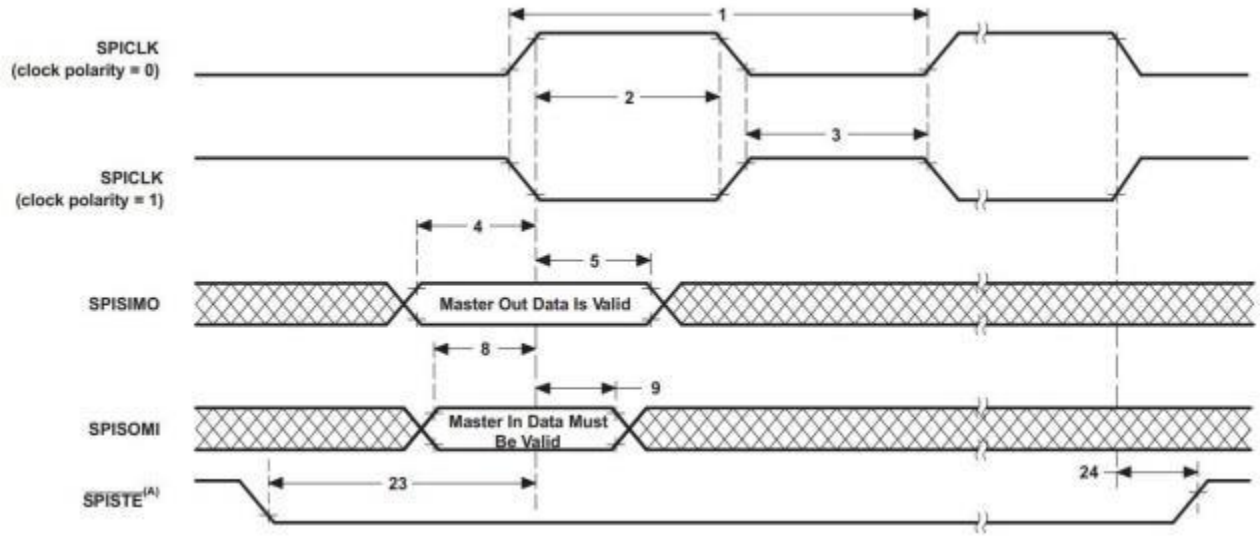
（1）当(SPIBRR + 1)为偶数或 SPIBRR 为 0 或 2 时， (BRR + 1)为偶数。当(SPIBRR + 1)为奇数且 SPIBRR 大于 3 时为奇数。

5.10.5.1.4 SPI主模式时序图



A.在字段的尾端，在 FIFO 和非 FIFO 模式下的除非连续发送字，$\overline{SP}\overline{STE}$处于非活动状态。

图 5- 52. 主模式外部时序(时钟相位 = 0)



A.在字的尾端，除了在 FIFO 和非 FIFO 模式下的背对背传输单词之间，SPISTE 将处于非活动状态。

图 5- 53. SPI 主模式外部时序 (时钟相位 = 1)

5.10.6 SPI从模式时序

下面的部分包含 SPI从模式时序。

章节 5.10.6.1.1 列出了 SPI 从模式时序要求。章节 5.10.6.1.2 列出了 SPI 从模式开关特性.时钟相位为 0 的 SPI从模式外部时序如图 5-54 所示。时钟相位为 1 的 SPI从模式外部时序如图5-55 所示。

5.10.6.1.1 SPI 从模式时序要求

表 5- 43. SPI 从模式时序要求

NO.	参数		最小值	最大值	单位
12	$t_{c(SPC)S}$	周期时间, SPICLK	$4t_{c(SYSCLK)}$		ns
13	$t_{w(SPC1)S}$	脉冲持续时间, SPICLK, 第一脉冲	$2t_{c(SYSCLK)} - 1$		ns
14	$t_{w(SPC2)S}$	脉冲持续时间, SPICLK, 第二脉冲	$2t_{c(SYSCLK)} - 1$		ns
19	$t_{su(SIMO)S}$	建立时间, 在 SPICLK 之前SPISIMO 有效	$1.5t_{c(SYSCLK)}$		ns
20	$t_{h(SIMO)S}$	保持时间, 在 SPICLK 之后SPISIMO 有效	$1.5t_{c(SYSCLK)}$		ns
25	$t_{su(STE)S}$	建立时间, 在 SPICLK 之前$\overline{SPISTE}$有效 (时 钟相位 = 0)	$2t_{c(SYSCLK)} + 3$		ns
		建立时间, 在 SPICLK 之前SPISTE 有效 (时钟相位 = 1)	$2t_{c(SYSCLK)} + 23$		ns
26	$t_{h(STE)S}$	保持时间, 在 SPICLK 之后$\overline{SPISTE}$ 无效	$1.5t_{c(SYSCLK)}$		ns

5.10.6.1.2 SPI 从模式开关特性

理论设计指标（除非另作说明）

表 5- 44. SPI 从模式开关特性

NO.	参数		最小值	最大值	单位
15	$t_{d(SOMI)S}$	延迟时间, SPICLK 到 SPISOMI 有效		12	ns
16	$t_{v(SOMI)S}$	有效时间, 在 SPICLK 之后 SPISOMI 有效	0		ns

5.10.6.1.3 SPI 从模式时序图

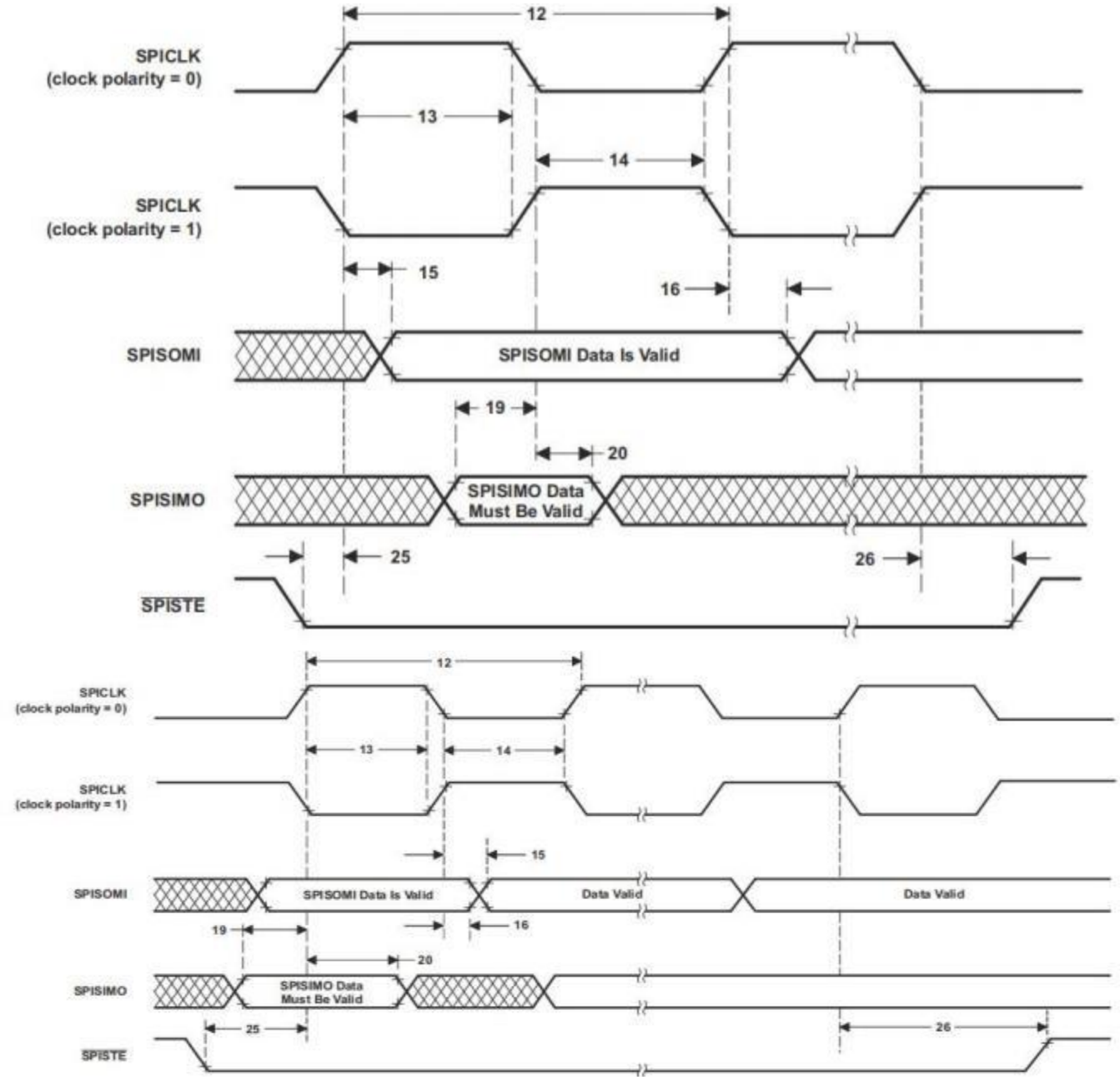


图 5- 55. SPI 从模式外部时序 (时钟相位 = 1)

5.10.7 本地互联网络(LIN)

LIN是用于汽车和工业应用中的本地互连网络（LIN）的独立控制器。LIN符合LIN 2.2A规范，并可选择与LIN 1.3兼容。DLIN允许在1 kbit/s和20 kbit/s之间进行串行传输。

LIN（Local Interconnect Network）是一种串行通信协议，旨在提供成本效益高的总线通信。LIN规范是由LIN联盟（http://www.lin-subbus.org）开发的。LIN标准包括传输介质的规范，开发工具之间的接口，传输协议以及软件编程接口。LIN被创建用于降低汽车网络的成本，在简单的应用（传感器或执行器）中取代了最昂贵的CAN。LIN设备可以实现为主节点或从节点。

LIN 模块具有以下特点 ：

- 符合LIN 2.2A和LIN 1.3规范
- 自动处理LIN报文头
- 自动重新同步
- 数据速率在1Kbit/s至20Kbit/s之间
- 主节点和从节点工作模式
- 超时检测
- 扩展错误检测
- 支持“Break-in-data”
- 唤醒检测
- 进入休眠检测
- 自动位率检测（在从节点模式下）
- 可用的系统接口包装器：
  - AMBA - APB / AHB / AXI Lite总线
  - Altera Avalon总线
  - Xilinx OPB总线

LIN 框图如图 5-56 所示。

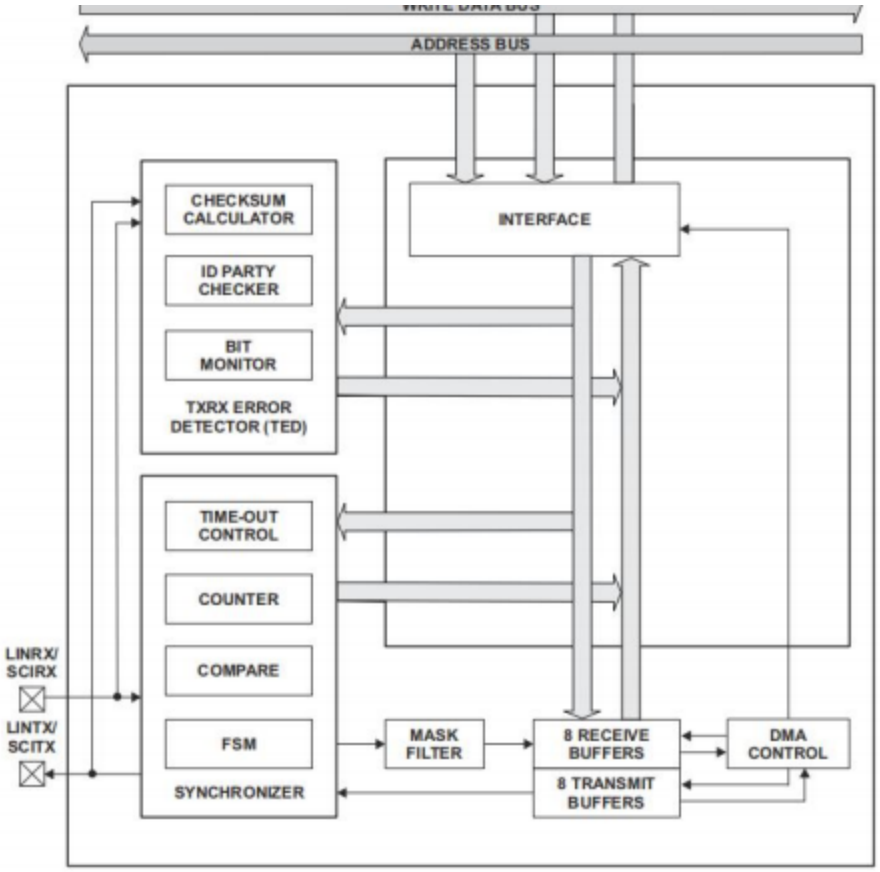


图 5- 56. LIN s框图

5.10.8 快速串行接口(FSI)

快速串行接口（FSI）模块是一种串行通信外设，能够跨隔离设备进行可靠的高速通信。电流隔离装置用于两个不同的电子电路（没有公共电源和接地连接）必须交换信息的情况。虽然隔离设备有助于这些信号通信，但它们也会在信号线上引入大的延迟，并增加信号之间的偏斜。FSI专门设计用于确保系统场景的可靠高速通信，该场景涉及跨越隔离屏障的通信，而无需添加组件。

FSI由独立发射机（FSITX）和接收机（FSIRX）核心组成。FSITX和FSIRX内核是独立配置和操作的。有关FSI模块的更多信息，请参阅快速串行接口（FSI）倾斜补偿应用报告。

FSI模块包括以下特性:

- 独立的发射机和接收机核心
- 源同步传输
- 双数据速率(DDR)
- 一条或两条数据线

- 可编程的数据长度
- 偏移调整块可以补偿板级和系统延迟的不匹配
- 帧错误检测
- 用于消息过滤的可编程帧标签
- 在通信中硬件 ping 检测断行(ping 看门狗)
- 每个FSI核心有两个中断
- 外部触发帧生成
- 硬件或软件计算 CRC
- 嵌入式 ECC 计算模块
- 寄存器写入保护
- FSI-SPI 兼容模式(可用的功能有限)
- 标记匹配通知

5.10.8.1 FSI 发送器

FSI 传输模块处理数据的帧、生成 CRC、TXCLK、TXD0、TXD1 信号生成以及生成中断。 通过可编程控制寄存器控制和配置发送器内核的操作。发射器控制寄存器允许 CPU 编程、控制和监管FSI发射机运行。传输数据缓冲区可由CPU 和 DMA 访问。

该发送器具有以下特点:

- 自动生成 ping 帧
- 外部触发的 ping 帧
- 外部触发数据帧
- 软件可配置帧长度
- 16 字数据缓冲区
- 数据缓冲区不足和溢出检测
- 硬件生成 CRC 的数据位
- 选定数据进行软件 ECC 计算
- 支持 DMA
- CLA任务触发

FSITX CPU 接口如图 5-57 所示。FSITX 的高级别框图如图 5-58 所示。没有展示所有的数据路径和内部连接。该图提供了FSITX 中内部模块的高级别概述。

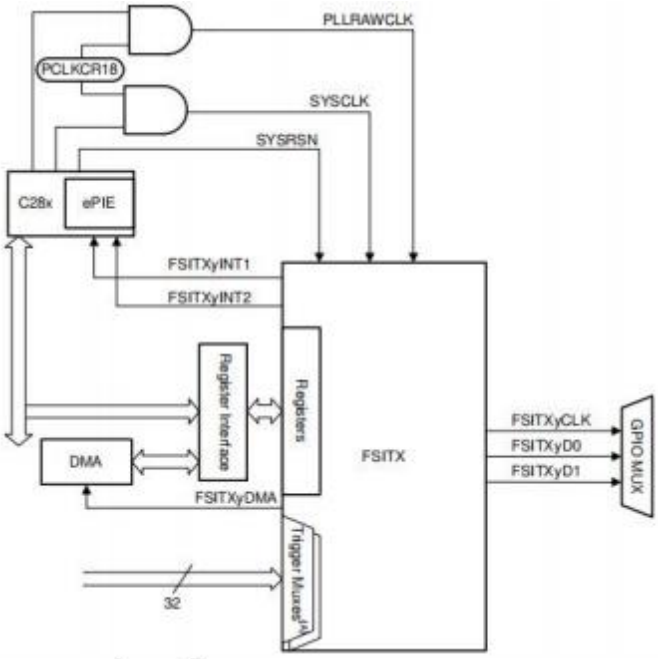


图 5- 57. FSITX CPU 接口

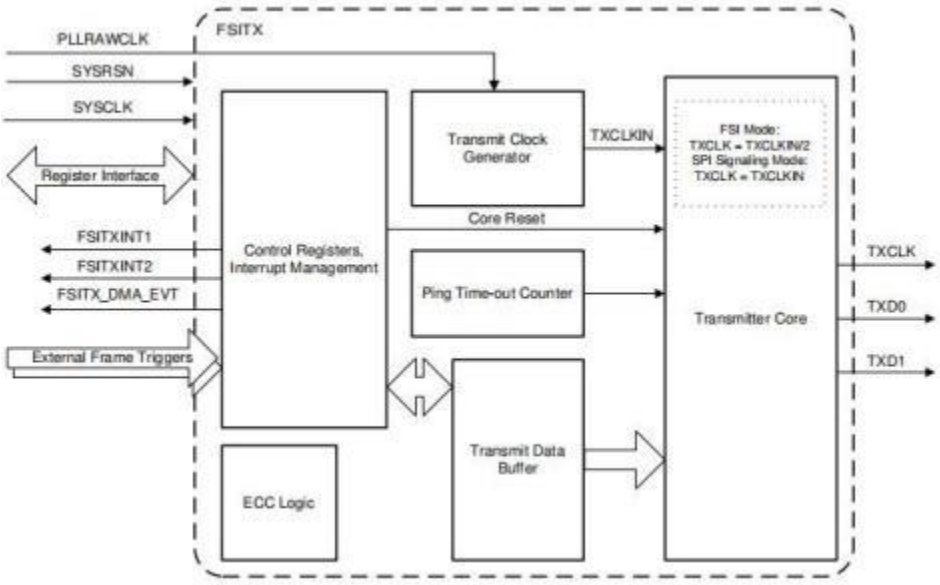


图 5- 58. FSITX 框图

5.10.8.1.1 FSITX 电气特性和时序

章节 5.11.8.1.3 列出了 FSITX 的开关特性 FSITX 时序如图 5-59 所示。

5.10.8.1.2 FSITX 开关特性

理论设计指标（除非另作说明）

表 5- 45.

NO.	参数		最小值	最大值	单位
1	$t_{c(TXCLK)}$	周期时间, TXCLK	20		ns
2	$t_{w(TXCLK)}$	脉冲宽度, TXCLK 低 或 TXCLK 高	$(0.5t_{c(TXCLK)}) - 1$	$(0.5t_{c(TXCLK)}) + 1$	ns
3	$t_{d(TXCLK-TXD)}$	延迟时间, TXCLK 上升或下降 到TXD 有效	$(0.25t_{c(TXCLK)}) - 2 + 2$	$(0.25t_{c(TXCLK)})$	ns
TDM1	$t_{skew(TDM_CLK-TDM_Dx)}$	TXCLK- TDM_CLK 延 迟 和 TXDx-TDM_Dx 延迟之间引入偏移延迟	-2 2		ns

5.10.8.1.3 FSITX 时序

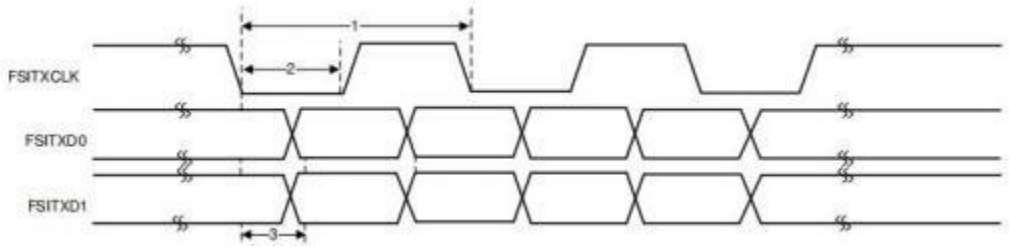


图 5- 59. FSITX 时序

5.10.8.2 FSI 接收器

接收模块接口到FSI时钟(RXCLK)和数据线(RXD0 和 RXD1)后，通过一个可选的可编程延迟线。接 收核心对数据帧、CRC 计算和帧相关的错误检查。接收端位时钟和状态机由RXCLK输入端运行，它与设备系统时钟是异步的。接收控制寄存器允许 CPU 编程、控制和监视FSIRX 的操作。接收数据缓冲区可以被 CPU、HIC 和 DMA 访问。

接收内核有以下特性：

- 16 字数据缓冲区
- 支持多种帧类型
- Ping 帧看门狗
- 帧看门狗

- 硬件 CRC 计算和比较
- ECC 检测
- 传入信号的可编程延迟线控制
- 支持 DMA
- CLA任务触发
- FSI-SPI 兼容模式

FSIRX CPU 接口如图 5-60 所示。图 5-61 提供了 FSIRX 内部模块的高级概述。没有展示所有的数据路径和内部连接。

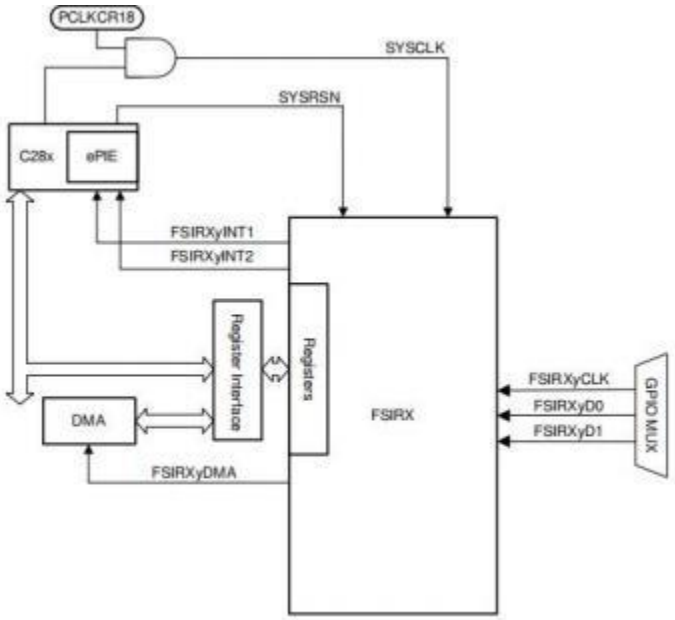


图 5-60. FSIRX CPU

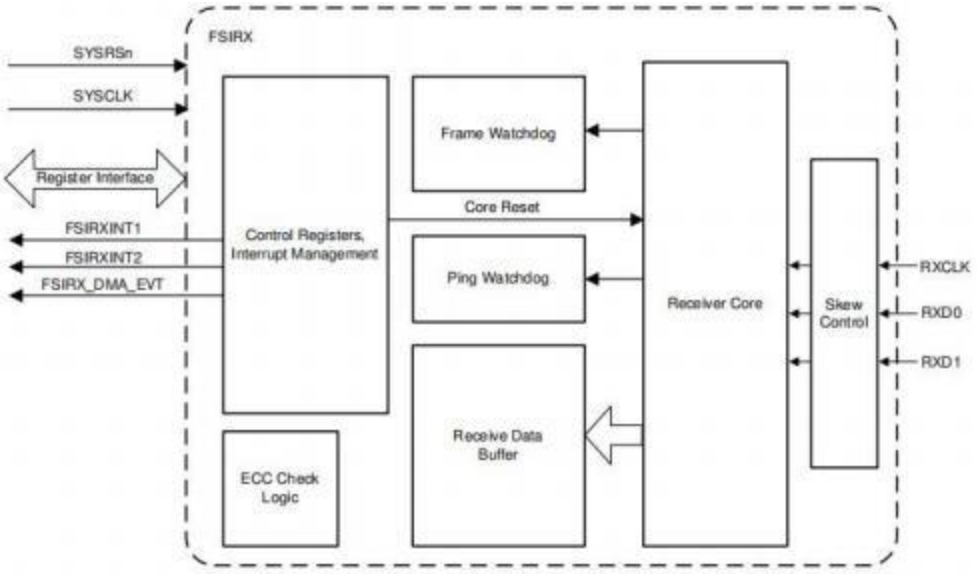


图 5-61. FSIRX 框图

5.10.8.3 FSIRX电气特性和时序

章节 5.10.8.3.1 列出了 FSIRX 时序要求。章节 5.10.8.3.2 列出了 FSIRX 的开关特性。FSIRX时序如图 5-62 所示。

5.10.8.3.1 FSIRX 时序要求

表 5- 46.

NO.	参数		最小值	最大值	单位
1	$t_{c(RXCLK)}$	周期时间, RXCLK	20		ns
2	$t_{w(RXCLK)}$	脉冲持续时间, RXCLK 低 或 RXCLK 高.	$0.5t_{c(RXCLK)-1}$ $0.5t_{c(RXCLK)+1}$		ns
3	$t_{su(RXCLK–RXD)}$	关于 RXCLK 的建立时间，适用于时钟两个边沿	1.7		ns
4	th(RXCLK－RXD)	对于 RXCLK 保持时间，适用于时钟的两个边沿	3.8		ns

5.10.8.3.2 FSIRX 开关特性

NO.	参数		最小值	最大值	单位
1	td(RXCLK)		6	21	ns
2	td(RXD0)		6	21	ns
3	td(RXD1)		6	21	ns
4	td(DELAY_ELEMENT)		0.17	0.7	ns

5.10.8.3.3 FSIRX 时序

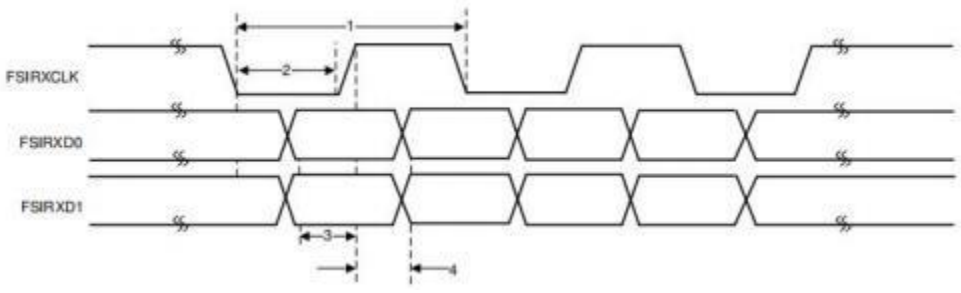


图 5- 62. FSIRX 时序

5.10.8.4 FSI SPI 兼容模式

FSI支持 SPI 兼容模式，以实现与可编程 SPI 设备的通信。在这种模式下，FSI在单时钟配置模 式下以与 SPI相同的方式传输数据。 当 FSI 能够在这种模式下与 SPI进行物理接口时，外设必须能 够对FSI 帧进行编码和解码才能成功通信。因为FSI传输除前导码和后导码外的所有 SPI 帧相位。 FSI提供了与标准FSI模式相同的数据验证和帧检查，允许在不消耗 CPU 周期的情况下进行更健壮 的通信。外部SPI 需要发送所有相关信息，并可以访问标准的FSI 功能，如 FSIRX 上的 ping 帧看门狗、帧标记或自定义 CRC 值。

SPI 兼容模式的特性列表如下 ：

- 数据在时钟的上升沿上发送，在时钟的下降沿上接收。
- 只支持 16 位字
- TXD1 将像一个低电平有效的片选信号。在全帧传输期间，信号置低。
- 不需要接收器片选输入。RXD1 未被使用。数据在每个活动时钟边缘上转移到接收器。
- 不传送前置时钟或后置时钟。帧阶段结束后，所有信号返回空闲状态。
- 不可能在 SPI 从配置中传输，因为FSI TXCLK 不能采用外部时钟源。

5.10.8.4.1 FSITX SPI 信号模式电气特性和时序

章节 5.10.8.4.2 列出了 FSITX SPI 开关特性。FSITX SPI 信号模式时序如图 5-63 所示。在 SPI信号模式下，FSIRX 不需要特殊的时序。第 5.10.8.4.2 节中列出的FSIRX 时序适用于 SPI 兼容模式。建立时间和保持时间仅在FSIRXCLK 的下降沿上有效，因为这是SPI信号模式中的活动边沿。

5.10.8.4.2 FSITX SPI 信号模式开关特性

超过参考无气流温度范围 （除非另做说明）

表 5- 48.

NO.	参数		最小值	最大值	单位
1	$t_{c(TXCLK)}$	周期时间, TXCLK	20		ns
2	$t_{w(TXCLK)}$	脉冲宽度, TXCLK 低 或TXCLK 高	$(0.5t_{c(TXCLK)}) - 1$	$(0.5t_{c(TXCLK)}) + 1$	ns
3	$t_{d(TXCLKH–TXD0)}$	延迟时间, TXCLK 高后 TXD0 有效		3	ns
4	$t_{d(TXD1-TXCLK)}$	延迟时间， 在 TXD1 低之后TXCLK 高	$t_{w(TXCLK)} - 3$		ns
5	$t_{d(TXCLK-TXD1)}$	延迟时间， 在 TXCLK 低之后 TXD1 高	$t_{w(TXCLK)}$		ns

5.10.8.4.3 FSITX SPI 信号模式时序

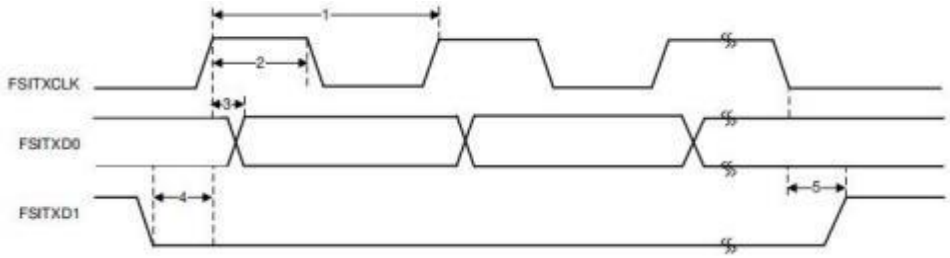


图 5- 63. FSITX SPI 信号模式时序

6 详细描述

6.1 概述

QX28004x(F28004x)是一个功能强大的 32 位浮点微控制器单元(MCU)，可让设计人员单个器件上集成关键的控制外设、差分模拟和非易失性存储器。

实时控制子系统基于 QX 的 32 位28xCPU，可提供 400MHz 的信号处理性能。QX28xCPU 的性能通过新的 TMU扩展指令集和VCU扩展指令集得到了进一步提升，TMU 扩展指令集可快速执行包含变换和扭矩环路计算中常见三角运算的算法，VCU扩展指令集可降低编码应用中常见复杂数学运算的延迟。

QX28004x为双核结构，副C28xCPU允许从主 C28xCPU 上大量卸载常见任务。副C28xCPU类似CLA 是一款与CPU 并行执行的独立 32 位浮点数学加速器。此外，副C28xCPU自带专用存储资源，它可以直接访问典型控制系统中所需的关键外设。对 ANSIC子集的支持是标准配置，就像硬件断点和硬件任务切换等关键特性也是标准配置。

F28004x 支持高达 1024KB(256KW)的闪存，这些闪存分为两个 512KB(128KW)存储体，支持并行编程和执行。此外，还以 4KB(1KW)和 64KB(16KW)块提供高达 520KB(130KW)的片上 SRAM，以进行高效的系统分区。还支持闪存 ECC、SRAMECC/奇偶校验和双区安全性。

F28004xMCU 上集成了高性能模拟块，以进一步支持系统整合。三个独立的 12 位 ADC 可准确、高效地管理多个模拟信号，从而最终提高系统吞吐量。模拟前端上的七个 PGA 可以在转换之前实现片上电压调节。七个模拟比较器模块针对跳闸情况下的对输入电压电平进行连续监控。

QX28004x™微控制器包含先进的控制外设(具有独立于频率的ePWM/HRPWM和eCAP)，可对系统进行出色的控制。内置的4 通道 SDFM 允许在隔离层上无缝集成过采样 Σ-Δ调制器。

通过各种业界通用通信端口(如 SPI、SCI、I2C、LIN 和 CAN)支持连接，并且提供了多个多路复用选项，可在各种应用中实现出色的信号布局。C2000 平台新增了完全符合标准的PMBus。此外，FSI率先在业内实现了高速可靠的通信，补充了嵌入该器件的各种外设的功能。

6.2 功能框图

CPU 系统及其外设如图 6-1 所示。

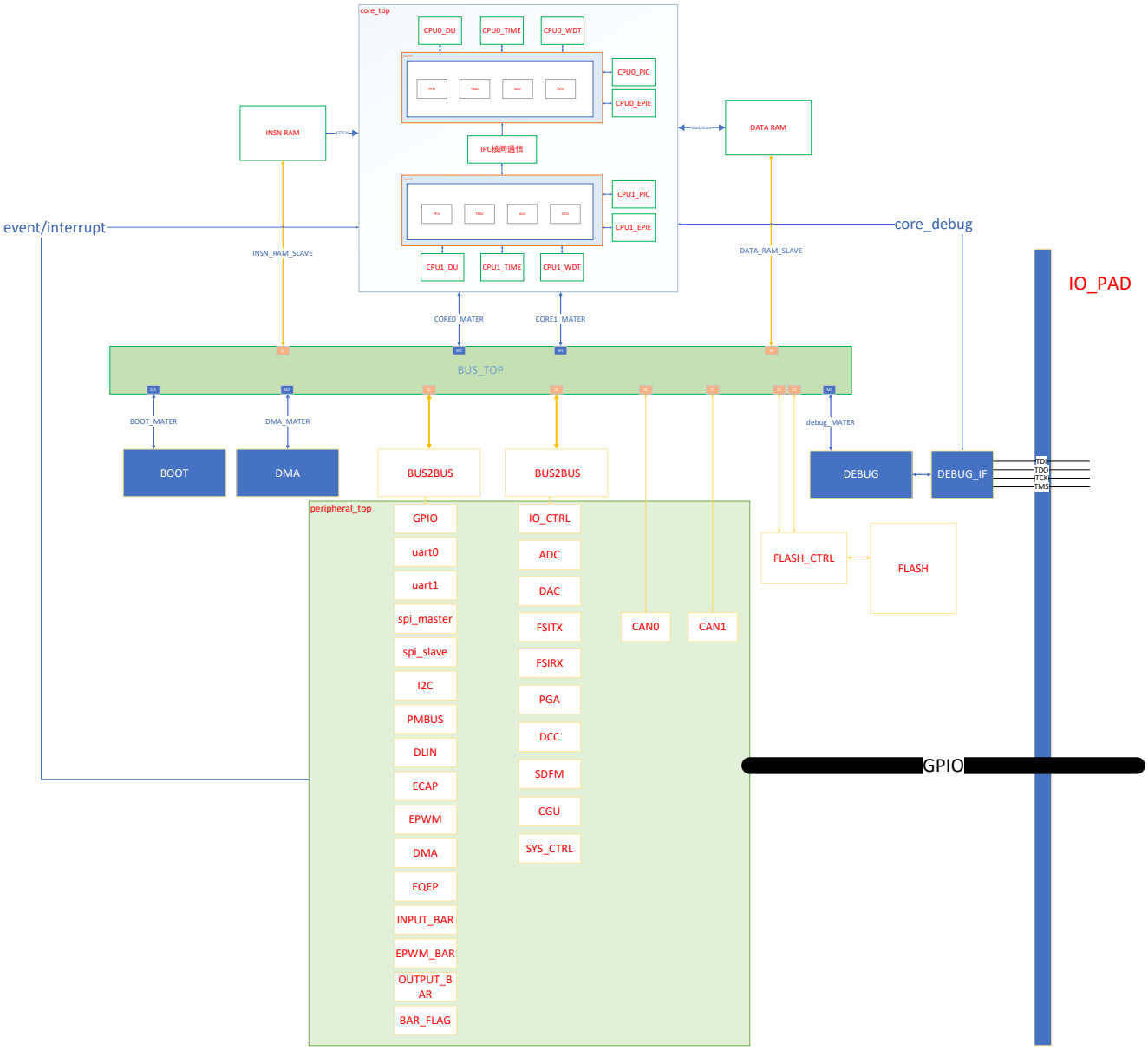


图 6-1. 功能框图

6.3 内存

6.3.1 内存映射

表 6-1. 内存映射

存储器	大小	起始地址	结束地址	副C28xCPU存取	DMA 存取	支持ECC	奇偶校验	存储器访问保护	SECURE
GSD0 RAM	64KB	0x00000000	0x0000FFFF	是	是	是			
GSD1 RAM	64KB	0x00010000	0x0001FFFF	是	是	是			
GSD2 RAM	64KB	0x00020000	0x0002FFFF	是	是	是			
GSD3 RAM	64KB	0x00030000	0x0003FFFF	是	是	是			
IPC CPU0_RAM	4KB	0x00100000	0x00100FFF	是	是				
IPC CPU1_RAM	4KB	0x00101000	0x00101FFF	是	是				
GSI0 RAM	64KB	0x00200000	0x0020FFFF	是	是	是			
GSI1 RAM	64KB	0x00210000	0x0021FFFF	是	是	是			
GSI2 RAM	64KB	0x00220000	0x0022FFFF	是	是	是			
GSI3 RAM	64KB	0x00230000	0x0023FFFF	是	是	是			
BOOT RAM	8KB	0x00280000	0x00281FFF	是					
PIECTRL	256B	0x007F0100	0x007F01FF	是					
DEBUG	256B	0x007F0200	0x007F02FF	是					
CPUTIMER0	20B	0x007F0300	0x007F0310	是					
CPUTIMER1	20B	0x007F0314	0x007F0324	是					
CPUTIMER2	20B	0x007F0328	0x007F038	是					
CPUTIMER_SYS	16B	0x007F03A0	0x007F0AC	是					
CPUTIMER0LC2	4B	0x007F03B0	0x007F03B0	是					
CPUTIMER1LC2	4B	0x007F03B4	0x007F03B4	是					
CPUTIMER2LC2	4B	0x007F03B8	0x007F03B8	是					
CR	256B	0x007F0400	0x007F04FF	是					
GR	256B	0x007F0500	0x007F05FF	是					
MOB	256B	0x007F0600	0x007F06FF	是					
EXP	256B	0x007F0700	0x007F07FF	是					
WD	256B	0x007F0800	0x007F08FF	是					
IPC_REG	256B	0x007F0900	0x007F09FF	是					
IPC_CMD	256B	0x007F0A00	0x007F0AFF	是					
VCU	256B	0x007F0B00	0x007F0BFF	是					
TRACE_BUFFER	256B	0x007F0C00	0x007F0CFF	是					
WATCH_POINT	256B	0x007F0D00	0x007F0DFF	是					

ECC	256B	0x007F0E00	0x007F03FF	是					
ERAD_GLOBAL	256B	0x007F0F00	0x007F0FFF	是					
ERAD_HWBP1	256B	0x007F1000	0x007F10FF	是					
ERAD_HWBP2	256B	0x007F1100	0x007F11FF	是					
ERAD_HWBP3	256B	0x007F1200	0x007F12FF	是					
ERAD_HWBP4	256B	0x007F1300	0x007F13FF	是					
ERAD_HWBP5	256B	0x007F1400	0x007F14FF	是					
ERAD_HWBP6	256B	0x007F1500	0x007F15FF	是					
ERAD_HWBP7	256B	0x007F1600	0x007F16FF	是					
ERAD_HWBP8	256B	0x007F1700	0x007F17FF	是					
ERAD_COUNTER1	256B	0x007F1800	0x007F18FF	是					
ERAD_COUNTER2	256B	0x007F1900	0x007F19FF	是					
ERAD_COUNTER3	256B	0x007F1A00	0x007F1AFF	是					
ERAD_COUNTER4	256B	0x007F1B00	0x007F1BFF	是					
CLKCFG	4KB	0x01000000	0x01000FFF	是	是				
CPUSYS	432B	0x01001000	0x010011AF	是	是				
DEVCFG	432B	0x01001000	0x010011AF	是	是				
XINT	80B	0x010011B0	0x010011FF	是	是				
NMIINTRUPT	256B	0x01001200	0x01012FF	是	是				
DCC0	4KB	0x01002000	0x01002FFF	是	是				
GPIOCTRL	4KB	0x01003000	0x01003FFF	是	是				
GPIODATA	4KB	0x01004000	0x01004FFF	是	是				
INPUTXBAR	4KB	0x01005000	0x01005FFF	是	是				
EPWMXBAR	4KB	0x01006000	0x01006FFF	是	是				
OUTPUTXBAR	4KB	0x01007000	0x01007FFF	是	是				
XBAR	4KB	0x01008000	0x01008FFF	是	是				
DMA	256B	0x01009000	0x010090FF	是	是				
DMACH1	256B	0x01009100	0x010091FF	是	是				
DMACH2	256B	0x01009200	0x010092FF	是	是				
DMACH3	256B	0x01009300	0x010093FF	是	是				
DMACH4	256B	0x01009400	0x010094FF	是	是				
DMACH5	256B	0x01009500	0x010095FF	是	是				
DMACH6	256B	0x01009600	0x010090FF	是	是				
ANALOGSUBSYS	4KB	0x0100A000	0x0100AFFF	是	是				
ADCA	256B	0x0100B000	0x0100B0FF	是	是				
ADCARESULT	256B	0x0100B100	0x0100B1FF	是	是				
ADCB	256B	0x0100B200	0x0100B2FF	是	是				

ADCBRESULT	256B	0x0100B300	0x0100B3FF	是	是				
ADCC	256B	0x0100B400	0x0100B4FF	是	是				
ADCCRESULT	256B	0x0100B500	0x0100B5FF	是	是				
PGA1	32B	0x0100C000	0x0100C01F	是	是				
PGA2	32B	0x0100C020	0x0100C03F	是	是				
PGA3	32B	0x0100C040	0x0100C05F	是	是				
PGA4	32B	0x0100C060	0x0100C07F	是	是				
PGA5	32B	0x0100C080	0x0100C09F	是	是				
PGA6	32B	0x0100C0A0	0x0100C0BF	是	是				
PGA7	32B	0x0100C0C0	0x0100C0DF	是	是				
DACA	64B	0x0100D000	0x0100D03F	是	是				
DACB	64B	0x0100D040	0x0100d07F	是	是				
CMPSS1	256B	0x0100E000	0x0100E0FF	是	是				
CMPSS2	256B	0x0100E100	0x0100E1FF	是	是				
CMPSS3	256B	0x0100E200	0x0100E2FF	是	是				
CMPSS4	256B	0x0100E300	0x0100E3FF	是	是				
CMPSS5	256B	0x0100E400	0x0100E4FF	是	是				
CMPSS6	256B	0x0100E500	0x0100E5FF	是	是				
CMPSS7	256B	0x0100E600	0x0100E6FF	是	是				
SDFM	4KB	0x0100F000	0x0100FFFF	是	是				
ECAP1	128B	0x01010000	0x0101007F	是	是				
ECAP2	128B	0x01010080	0x010100FF	是	是				
ECAP3	128B	0x01010100	0x0101017F	是	是				
ECAP4	128B	0x01010180	0x010101FF	是	是				
ECAP5	128B	0x01010200	0x0101027F	是	是				
ECAP6	64B	0x01010280	0x010102BF	是	是				
ECAP7	64B	0x01010300	0x0101033F	是	是				
HRCAP6	64B	0x010102C0	0x010102FF	是	是				
HRCAP7	64B	0x01010340	0x0101037F	是	是				
SYNCSOC	128B	0x01010380	0x010103FF	是	是				
SFO	128B	0x01010400	0x0101047F	是	是				
EPWM9	512B	0x01010600	0x010107FF	是	是				
EPWM10	512B	0x01010800	0x010109FF	是	是				
EPWM11	512B	0x01010A00	0x01010BFF	是	是				
EPWM12	512B	0x01010E00	0x01010FFF	是	是				
EPWM1	512B	0x01011000	0x010111FF	是	是				
EPWM2	512B	0x01011200	0x010113FF	是	是				

EPWM3	512B	0x01011400	0x010115FF	是	是				
EPWM4	512B	0x01011600	0x010117FF	是	是				
EPWM5	512B	0x01011800	0x010119FF	是	是				
EPWM6	512B	0x01011A00	0x01011BFF	是	是				
EPWM7	512B	0x01011C00	0x01011DFF	是	是				
EPWM8	512B	0x01011E00	0x01011FFF	是	是				
EQEP1	2KB	0x01012000	0x010127FF	是	是				
EQEP2	2KB	0x01012800	0x01012FFF	是	是				
SPIO_MASTER	1KB	0x01013000	0x010133FF	是	是				
SPIO_SLAVE	1KB	0x01013400	0x010137FF	是	是				
SPIO_SEL_REG	256B	0x01013800	0x010138FF	是	是				
SPI1_MASTER	1KB	0x01014000	0x010143FF	是	是				
SPI1_SLAVE	1KB	0x01014400	0x010147FF	是	是				
SPI1_SEL_REG	256B	0x01014800	0x010148FF	是	是				
SCIA	4KB	0x01015000	0x01015FFF	是	是				
SCIB	4KB	0x01016000	0x01016FFF	是	是				
I2CA	4KB	0x01017000	0x01017FFF	是	是				
PMBUS	4KB	0x01018000	0x01018FFF	是	是				
LINA	4KB	0x01019000	0x01019FFF	是	是				
FSITX	4KB	0x0101A000	0x0101AFFF	是	是				
FSIRX	4KB	0x0101B000	0x0101BFFF	是	是				
REGFILE	4KB	0x0101C000	0x0101CFFF	是	是				
CANA	4KB	0x01052000	0x01052FFF	是	是				
CANB	4KB	0x01053000	0x01053FFF	是	是				
FLASHOCTRL	4KB	0x01040000	0x01040FFF	是	是				
FLASHODATA	1MB	0x30000000	0x300FFFFF	是	是				
FLASHOOTP1	1KB	0x30100000	0x301003FF	是	是				
FLASHOOTP2	1KB	0x30101000	0x301013FF	是	是				

备注：地址空间[23:16] = 7f的空间主\副C28xCPU各有独立的地址空间

6.3.2 Flash 内存映射

在F28004x设备上有一个闪存(1024KB [256KW])可用。一次可以对一个Page、Sector、Block、Chip进行编程或擦除操作。

在正在进行擦除/编程操作的 FLASH Bank 上不应进行任何访问。

FLASH的Page、Sector、Block、Chip关系如表所示。

Each device has	Each block has	Each sector has	Each page has	
1M	64	4K	256	Bytes
4K	256	16		pages
256	16			sectors
16				blocks

可分配的FLASH 扇区地址如表 6-3所示。

6.3.2.1 Flash 扇区地址

表 6- 3-1. FLASH OTP扇区地址

扇区	地址		
	大小	开始	结束
OTP 0扇区			
FLASH00TP1	1KB	0x30100000	0x301003FF
FLASH00TP2	1KB	0x30101000	0x301013FF

表 6- 3-2. FLASH Block 地址

Block	Sector	Address range	
15	255	0x300FF000H	0x300FFFFFH
	……	……	……
	240	0x300F0000H	0x300F0FFFH
14	239	0x300EF000H	0x300EFFFFH
	……	……	……
	224	0x300E0000H	0x300E0FFFH
……	……	……	……
	……	……	……
	……	……	……
……	……	……	……
	……	……	……
	……	……	……
2	47	0x3002F000H	0x3002FFFFH

	……	……	……
	32	0x30020000H	0x30020FFFH
1	31	0x3001F000H	0x3001FFFFH
	……	……	……
	16	0x30010000H	0x30010FFFH
0	15	0x3000F000H	0x3000FFFFH
	……	……	……
	0	0x30000000H	0x30000FFFH

6.3.3.2 外设寄存器内存映射

外设寄存器内存映射表(H28x)如下：

表 6- 4. 外设寄存器内存映射表 (H28x)

寄存器	结构名称	起始地址	结束地址	流水线保护(1)	副C28xCPU存取	DMA 存取
CLKCFG	4KB	0x01000000	0x01000FFF	是	是	是
CPUSYS	432B	0x01001000	0x010011AF	是	是	是
DEVCFG	432B	0x01001000	0x010011AF	是	是	是
XINT	80B	0x010011B0	0x010011FF	是	是	是
NMIINTRUPT	256B	0x01001200	0x01012FF	是	是	是
DCC0	4KB	0x01002000	0x01002FFF	是	是	是
GPIOCTRL	4KB	0x01003000	0x01003FFF	是	是	是
GPIODATA	4KB	0x01004000	0x01004FFF	是	是	是
INPUTXBAR	4KB	0x01005000	0x01005FFF	是	是	是
EPWMXBAR	4KB	0x01006000	0x01006FFF	是	是	是
OUTPUTXBAR	4KB	0x01007000	0x01007FFF	是	是	是
XBAR	4KB	0x01008000	0x01008FFF	是	是	是
DMA	256B	0x01009000	0x010090FF	是	是	是
DMACH1	256B	0x01009100	0x010091FF	是	是	是
DMACH2	256B	0x01009200	0x010092FF	是	是	是
DMACH3	256B	0x01009300	0x010093FF	是	是	是
DMACH4	256B	0x01009400	0x010094FF	是	是	是
DMACH5	256B	0x01009500	0x010095FF	是	是	是

DMACH6	256B	0x01009600	0x010090FF	是	是	是
ANALOGSUBSYS	4KB	0x0100A000	0x0100AFFF	是	是	是
ADCA	256B	0x0100B000	0x0100B0FF	是	是	是
ADCARESULT	256B	0x0100B100	0x0100B1FF	是	是	是
ADCB	256B	0x0100B200	0x0100B2FF	是	是	是
ADCBRESULT	256B	0x0100B300	0x0100B3FF	是	是	是
ADCC	256B	0x0100B400	0x0100B4FF	是	是	是
ADCCRESULT	256B	0x0100B500	0x0100B5FF	是	是	是
PGA1	32B	0x0100C000	0x0100C01F	是	是	是
PGA2	32B	0x0100C020	0x0100C03F	是	是	是
PGA3	32B	0x0100C040	0x0100C05F	是	是	是
PGA4	32B	0x0100C060	0x0100C07F	是	是	是
PGA5	32B	0x0100C080	0x0100C09F	是	是	是
PGA6	32B	0x0100C0A0	0x0100C0BF	是	是	是
PGA7	32B	0x0100C0C0	0x0100C0DF	是	是	是
DACA	64B	0x0100D000	0x0100D03F	是	是	是
DACB	64B	0x0100D040	0x0100d07F	是	是	是
CMPSS1	256B	0x0100E000	0x0100E0FF	是	是	是
CMPSS2	256B	0x0100E100	0x0100E1FF	是	是	是
CMPSS3	256B	0x0100E200	0x0100E2FF	是	是	是
CMPSS4	256B	0x0100E300	0x0100E3FF	是	是	是
CMPSS5	256B	0x0100E400	0x0100E4FF	是	是	是
CMPSS6	256B	0x0100E500	0x0100E5FF	是	是	是
CMPSS7	256B	0x0100E600	0x0100E6FF	是	是	是
SDFM	4KB	0x0100F000	0x0100FFFF	是	是	是
ECAP1	128B	0x01010000	0x0101007F	是	是	是
ECAP2	128B	0x01010080	0x010100FF	是	是	是
ECAP3	128B	0x01010100	0x0101017F	是	是	是
ECAP4	128B	0x01010180	0x010101FF	是	是	是
ECAP5	128B	0x01010200	0x0101027F	是	是	是

ECAP6	64B	0x01010280	0x010102BF	是	是	是
ECAP7	64B	0x01010300	0x0101033F	是	是	是
HRCAP6	64B	0x010102C0	0x010102FF	是	是	是
HRCAP7	64B	0x01010340	0x0101037F	是	是	是
SYNCSOC	128B	0x01010380	0x010103FF	是	是	是
SFO	128B	0x01010400	0x0101047F	是	是	是
EPWM9	512B	0x01010600	0x010107FF	是	是	是
EPWM10	512B	0x01010800	0x010109FF	是	是	是
EPWM11	512B	0x01010A00	0x01010BFF	是	是	是
EPWM12	512B	0x01010E00	0x01010FFF	是	是	是
EPWM1	512B	0x01011000	0x010111FF	是	是	是
EPWM2	512B	0x01011200	0x010113FF	是	是	是
EPWM3	512B	0x01011400	0x010115FF	是	是	是
EPWM4	512B	0x01011600	0x010117FF	是	是	是
EPWM5	512B	0x01011800	0x010119FF	是	是	是
EPWM6	512B	0x01011A00	0x01011BFF	是	是	是
EPWM7	512B	0x01011C00	0x01011DFF	是	是	是
EPWM8	512B	0x01011E00	0x01011FFF	是	是	是
EQEP1	2KB	0x01012000	0x010127FF	是	是	是
EQEP2	2KB	0x01012800	0x01012FFF	是	是	是
SPI0_MASTER	1KB	0x01013000	0x010133FF	是	是	是
SPI0_SLAVE	1KB	0x01013400	0x010137FF	是	是	是
SPI0_SEL_REG	256B	0x01013800	0x010138FF	是	是	是
SPI1_MASTER	1KB	0x01014000	0x010143FF	是	是	是
SPI1_SLAVE	1KB	0x01014400	0x010147FF	是	是	是
SPI1_SEL_REG	256B	0x01014800	0x010148FF	是	是	是
SCIA	4KB	0x01015000	0x01015FFF	是	是	是
SCIB	4KB	0x01016000	0x01016FFF	是	是	是
I2CA	4KB	0x01017000	0x01017FFF	是	是	是
PMBUS	4KB	0x01018000	0x01018FFF	是	是	是

LINA	4KB	0x01019000	0x01019FFF	是	是	是
FSITX	4KB	0x0101A000	0x0101AFFF	是	是	是
FSIRX	4KB	0x0101B000	0x0101BFFF	是	是	是
REGFILE	4KB	0x0101C000	0x0101CFFF	是	是	是
CANA	4KB	0x01052000	0x01052FFF	是	是	是
CANB	4KB	0x01053000	0x01053FFF	是	是	是
FLASHOCTRL	4KB	0x01040000	0x01040FFF	是	是	是
FLASHODATA	1MB	0x30000000	0x300FFFFF	是	是	是
FLASHOOTP1	1KB	0x30100000	0x301003FF	是	是	是
FLASHOOTP2	1KB	0x30101000	0x301013FF	是	是	是

(1) CPU（不适用于 CLA 或 DMA）包含先写后读保护模式，以确保在受保护地址范围内，通过延迟读取操作直至启动写入操作，按写入形 式执行位于写入操作之后的任何读取操作。

表 6-5. 互联说明

Slave No	Slave name	M0	M1	M2	M3	M4
		CPU0	CPU1	DMA	BOOT	DEBUG
S0	D_MEM	Y	Y	Y		Y
S1	I_MEM			Y	Y	Y
S2	外设组1	Y	Y	Y		Y
S3	外设组2	Y	Y	Y		Y
S4	CAN0	Y	Y	Y		Y
S5	CAN1	Y	Y	Y		Y
S6	Flash_ctrl	Y	Y	Y		Y
S7	HARDWARE	Y	Y	Y		Y
S8	flash	Y	Y	Y		Y

6.3.3 存储器类型

6.3.3.1 CPU共享数据 RAM (GSDx RAM)

CPU 子系统有四个支持 ECC 功能的数据RAM，CPU0与CPU1共享。

6.3.3.2 IPC共享 RAM (IPC CPUx_RAM)

双核通信所需要的RAM，IPC_CPU0_RAM为CPU0与共享CPU1内存，CPU0可读写，CPU1可读。IPC_CPU1_RAM为CPU1与共享CPU0内存，CPU1可读写，CPU0可读。

6.3.3.3 CPU共享指令RAM (GSIx RAM)

CPU 子系统有四个支持 ECC 功能的指令RAM，CPU0与CPU1共享。

6.3.3.4 CPU共享指令RAM (BOOT RAM)

CPU的BOOT代码存放区。

6.4 总线架构-外设连接

外设连接表列出了每条总线访问外设和配置寄存器。

表 6- 9. 外设连接

外设	DMA	副CPU	主CPU
系统外设			
CPU 计时器	是	是	是
系统配置 （ WD、NMIWD、LPM、外设时钟门控 ）		是	是
器件功能、外设复位	是	是	是
时钟和PLL配置	是	是	是
闪存配置	是	是	是
复位配置	是	是	是
GPIO 引脚映射和配置	是	是	是
GPIO 数据)	是	是	是
DMA触发源选择	是	是	是
控制外设			
ePWM/HRPWM	是	是	是
eCAP/HRCAP	是	是	是
eQEP	是	是	是

SDFM	是	是	是
模拟外设			
模拟系统控制	是	是	是
外设	DMA	副CPU	CPU
ADC 配置	是	是	是
ADC 结果	是	是	是
CMPSS	是	是	是
DAC	是	是	是
PGA	是	是	是
通信外设			
CAN	是	是	是
SPI1	是	是	是
I2C	是	是	Y
PMBus	是	是	是
SCI	是	是	Y
LIN	是	是	是
FSI	是	是	是

6.6 C28x 处理器

6.6.1 介绍

CPU 为具有自主知识产权的高性能低功耗32 位浮点处理器处理器,采用了数字信号处理最佳特性；精简指令集计算 (RISC)；以及微控制器架构、 固件和工具集。以及微控制器架构、固件和工具集。

6.6.2 特点

处理器是一款具有自主知识产权的高性能低功耗数字信号处理器芯片。“高性能”是以、超长指令字（VLIW）技术和硬件循环（hardware loop）技术为基础，通过对各模块功能的细分和优化来实现的。同时基于对移动多媒体领域应用的分析，精确定义指令集，提高应用程序的代码密度、减少程序执行周期数以降低总能耗。微控制器特性包括易懂易用的指令集、字节打包和解包以及位操作。改进型哈佛体系架构的 CPU 可实现指令和数据的并行获取。CPU 可以在读取指令和数据的同时写入数据， 以维持流水线中的单周期指令操作。

完整的处理器主要包含了DSP内核、片上存储器（I-MEM、D-MEM）、直接存储访问模块（DMA）、对外接口（EMIF、HPI、SPI、I2C、GPIO、CAN等）和调试模块（Debug）。

6.6.3 浮点单元(FPU)

C28x 加浮点 (C28x+FPU) 处理器通过增加支持 IEEE 单精度浮点运算的寄存器和指令来扩展 C28x 定点 CPU 的功能。

具有 C28x+FPU 的器件包含标准 C28x 寄存器集以及一组额外的浮点单元寄存器。额外的浮点单元寄存器如下：

八个浮点结果寄存器，RnH（其中 n=0–7）

浮点状态寄存器 (STF)

重复块寄存器 (RB)

除 RB 寄存器外，所有浮点寄存器都采用影子化技术。这种影子化可用于高优先级中断，以实现浮点寄存器的快速上下文保存和恢复。

6.6.4 三角数学单元(TMU)

三角函数数学单元（TMU）通过添加指令和利用现有 FPU 指令来扩展H28x+FPU 的功能，加速执行常见三角函数和下表中所列算术运算。

表 TMU支持的指令

指令	C 等效运算	流水线周期
MPY2PIF32 Rd，Rs	a = b * 2π	2/3
DIV2PIF32 Rd，Rs	a = b / 2π	2/3
FSSQRT Rd，Rs	a = sqrt(b)	7
SINPUF32 Rd，Rs	a = sin(b*2π)	5
COSPUF32 Rd，Rs	a = cos(b*2π)	5
ATANPUF32 Rd，Rs	a = atan(b)/2π	5
QUADF Rd，Rs，Rt	用于协助计算 ATANPU2 的运算	8

TMU单元没有对现有指令、流水线或内存总线架构进行任何更改。所有 TMU 指令都使用现有的 FPU 寄存器集。

6.6.5 Viterbi、复数和循环冗余校验单元（VCU）

该模块通过添加指令和相应寄存器来扩展DSP芯片的功能，以支持和加速以下算法执行。

6.6.5.1 Viterbi运算

Viterbi算法在卷积编码的解码过程中被广泛使用，以找到最可能的原始数据序列。该算法包括分支度量计算、路径度量计算、幸存路径选择、回溯等步骤。

该部分有相应指令以支持Viterbi解码，每条指令均可在1个周期内完成。

运算	指令	说明
计算分支度量	VITBM2 VITBM3	码率为 1/2 码率为 1/3
计算路径度量	VITDHAS VITDHSA VITDLAS VITDLSA	
路径选择	VITHSEL VITLSEL	
路径回溯	VTRACE	

6.6.5.2 循环冗余校验（CRC）

CRC算法通过循环生成校验码的方式，在数字通信、存储系统和无线通信等领域提高数据传输的完整性和可靠性。

该部分相关指令可用于进行8位、16位、32位的CRC校验码生成。可在1个周期内计算出一字节数据对应的CRC校验码。

6.6.5.3 复数运算

在DSP芯片中，复数运算广泛应用于许多信号处理任务，包括快速傅里叶变换（FFT）和复数滤波器等。

例如，使用FFT进行频谱分析，复数运算可以有效地处理信号的幅度和相位信息。数字滤波器设计中，复数运算也用于频域滤波器的设计和实现。

该部分有以下指令以支持复数的加、减、乘、乘累加运算：

运算	指令	备注
加/减法	VCADD/VCSUB	32 ± 32 = 32 位
加/减法	VCDA16/VCDS16	16 ± 32 = 16 位
乘法	VCMPY	16 × 16 = 32 位
乘法和累加	VCMPYAC	16 × 16 = 32 位，32 ± 32 = 32 位
取负	VNEG	–32 = 32 位

6.6.6 增强型整数除法单元（EINTDIV）

C28x CPU 的增强型整数除法(EINTDIV)单元非常独特，能支持三种不同数据类型大小(16 / 16， 32 / 16，32 / 32，64 / 32，64 / 64)的无符号或有符号格式的整数除法(Truncated, Modulus,Euclidean)。

- 支持 C 语言 Truncated 整数除法(/，%运算符)。
- Modulus 和 Euclidean 除法是控制算法更有效的类型，并支持 C 函数。

所有三种类型的整数除法都产生商和余数分量，都是可中断的，并且执行周期少。此外，C28x CPU的增强型整数除法功能支持 32 位和64 位除法的快速执行。

6.7 直接内存访问(DMA)

DMA 模块提供了一种硬件方法，可以在外设和/或内存之间传输数据，而不需要 CPU 的干预，从 而为其他系统功能释放带宽。此外，DMA 具有在传输数据时对数据进行正交重新排列的能力，以及缓冲区之间的“乒乓”数据。这些特性有助于优化 CPU 进程，将数据结构化成块。DMA 的设备级框图如图 6-3 所示。

DMA 特性包括：

- 六个具有独立 PIE 中断的通道
- 外设DMA触发源
  - ADC 中断和 EVT 信号
  - 外部中断
  - ePWM SOC 信号
  - CPU 计时器
  - eCAP
  - SPI 发送和接收
  - SPI 发送和接收
- 数据源和目标 ：
  - GSx RAM
  - ADC 结果寄存器
  - 控制外设寄存器 （ ePWM、eQEP、eCAP、SDFM ）
  - DAC 和 PGA 寄存器
  - SPI和 PMBus 寄存器
- 字大小 ：8位、16 位或 32 位
- 数据率 ：每个字十五个周期，8深度FIFO ，无需仲裁

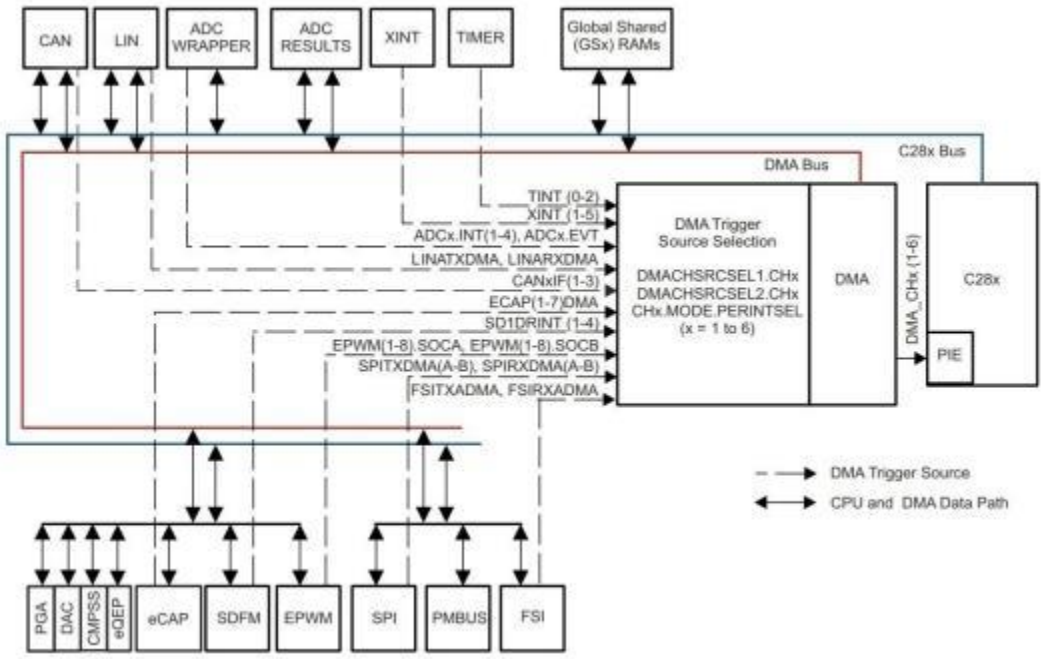

CAN
LIN
ADC WRAPPER
ADC RESULTS
XINT
TIMER
Global Shared (GSx) RAMs
C28x Bus
DMA Bus
TINT (0-2)
XINT (1-5)
ADCx.INT(1-4), ADCx.EVT
LINATXDMA, LINARXDMA
CANxIF(1-3)
ECAP(1-7)DMA
SD1DRINT (1-4)
EPWM(1-8).SOCA, EPWM(1-8).SOCB
SPITXDMA(A-B), SPIRXDMA(A-B)
FSITXADMA, FSIRXADMA
DMA Trigger Source Selection
DMACHSRCSEL1.CHx
DMACHSRCSEL2.CHx
CHx.MODE.PERINTSEL
(x = 1 to 6)
DMA
DMA_CHx (1-6)
C28x
PIE
DMA Trigger Source
CPU and DMA Data Path
PGA
DAC
CMPSS
eQEP
eCAP
SDFM
EPWM
SPI
PMBUS
FSI

图 6- 3. DMA 框图

6.8 设备 Boot 模式

本节解释默认Boot 启动模式，以及此设备支持的所有可用启动模式。引导 ROM 使用引导模式选择，通用输入/输出(GPIO)引脚来确定引导模式配置。启动模式的选择用默认启动模式选择引脚来确 定启动模式，如表 8-7 展示。用户可以选择对设备进行编程，来自定义启动模式选择表，根据启动模式选择GPIO 引脚使用。

所支持的外设启动模式都使用外设模块的模块第一个部分(SCIA、SPIA、I2CA、CANA 等)。在本 章中提到这些启动模式时，例如 SCI 启动，它实际上指的是模块第一个部分，这意味着 SCI 启动在SCIA 上。这同样适用于其他外围引导。

表 6-10. 设备默认启动模式

BOOT 模式	GPIO24 (默认BMSP1)	GPIO32 (默认BMSP 0)
Parallel IO	0	0
SCI / Wait Boot(1)	0	1
CAN	1	0
Flash	1	1

(1)SCI boot 模式可以用作 Wait Boot 模式，只要 SCI 在 SCI 自动波特锁定过程中继续等待'A'或'a'。

表 6-10 列出了器件上可能支持的引导模式。默认引导模式引脚为 GPIO24 (引导模式引脚1)和 GPIO32 (引导 模式引脚 0) 。如果用户在这些引脚上也使用外设 ，则可选择为引导模式引脚设置弱上拉 ，因此上拉可能会过驱动。在此器件上，客户可以通过对用户可配置的双代码安全模块(DCSM) OTP 位置进行编程来更改出厂默认的引导模式引脚。

表 6-11. 所有可用的引导模式

引导模式编号	引导模式
0	并行 IO
1	SCI/等待引导
2	CAN
3	闪存
4	等待
5	RAM
6	SPI 主器件
7	I2C 主器件

注：所有支持的外设引导模式都使用外设模块（SCIA、SPIA、I2CA、CANA 等）的第一个 实例。凡是本节提到的这些引导模式（例如 SCI 引导）时，实际均指第一个模块实例，如 SCIA端口上的 SCI 引导。这同样适用于其他外设引导。

6.8.1 设备启动配置

本节详细介绍可用的启动配置以及如何配置它们。该设备支持从 0 启动模式选择引脚到 3 启动模式选择引脚，以及从 1 配置启动模式到 8 配置启动模式。

要将设备从默认设置更改为应用程序的自定义设置，请使用以下流程：

- 确定您希望应用程序能够启动。(例如:第一启动项用于Flash 引导的主应用程序，第二启动项用于 CAN 引导的固件更新，第三启动选项用于 SCI 引导的调试，等等)
- 根据所需启动模式的数量，才能在您所选启动模式中确定需要多少个启动模式选择引脚(BMSP)。(例如:需要在 3 个启动模式选项中选出 2 个 BMSP)
- 将所需的 BMSP 分配到物理 GPIO 引脚。(例如，BMSP0 对 GPIO10, BMSP1 对 GPIO51, BMSP2 保留默认值被禁用)。有关执行这些配置的所有细节，请参阅第 6.9.1.1 节。
- 将确定的引导模式定义分配给自定义引导表中的索引，这些索引值与 BMSP 的解码值相关。例如， BOOTDEF0=Boot to Flash, BOOTDEF1=CAN Boot, BOOTDEF2=SCI Boot ;所有其他 BOOTDEFx 被保留为默认/无)。

此外，QX320F28004xDSP 技术参考手册的提供了一些关于如何配置 BMSP 和自定义启动表的示例。

注意：CAN 引导模式要开启 XTAL。在使用 CAN 引导模式之前，请确保在应用程序中安装了 XTAL。

配置启动模式引脚。

本节解释了用户如何通过在用户可配置双区域安全模块(DCSM) OTP 中编程 BOOTPIN-CONFIG 位置(参见表 6-8)来定制引导模式选择引脚。DCSM OTP 中的位置是 Z1-OTP-BOOTPIN-CONFIG 或Z2-OTP-BOOTPIN-CONFIG。在调试时，EMU-BOOTPIN-CONFIG 是 Z1-OTP-BOOTPIN-CONFIG/Z2-OTP-BOOTPIN-CONFIG 的仿真等效程序，可以用编程试验不同的启动模式，而不写入 OTP。该设备可以按需求使用 0,1,2,3 启动模式选择引脚编程。

注意：当使用 Z2-OTP-BOOTPIN-CONFIG 时，在这个位置编程的配置将优先于Z1-OTP-BOOTPIN-CONFIG 中的配置。建议先使用 Z1-OTP- BOOTPIN-CONFIG，如果需要修改 OTP 配置，再切换到 Z2-OTP- BOOTPIN-CONFIG。

表 6- 12. BOOTPIN-CONFIG 位域

位	名称	描述
31:24	Key	将 0x5A 写入这 8 位，表明该寄存器中的位是有 效的
23:16	启动模式选择引脚 2 (BMSP2)	除了 BMSP2 参考 BMSP0 描述
15:8	启动模式选择引脚 1 (BMSP1)	除了 BMSP1 参考 BMSP0 描述
7:0	启动模式选择引脚 0 (BMSP0)	设置为引导过程中使用的GPIO 引脚 (up to 255): 0x0 = GPIO0 0x01 = GPIO1 以此类推写入 0xFF 将禁用 BMSP0，并且该引脚不再用于 选择启动模式。

以下 GPIO 不能作为 BMSP 使用。如果选择了特殊的 BMSP，引导 ROM 将自动选择出厂默认的 GPIO(BMSP2 的出厂默认是 0xFF，这将禁用 BMSP)。

- GPIO 63 至 GPIO 223

表 6- 13. 特殊启动模式选择引脚解码

BOOTPIN_CONFIG KEY	BMSP0	BMSP1	BMSP2	实现启动模式
!= 0x5A	无关	无关	无关	按出厂默认 BMSP 定义的方式启动
= 0x5A	0xFF	0xFF	0xFF	引导模式 0 的引导表中定义的引导 (禁用所有 BMSP)
	有效 GPIO	0xFF	0xFF	由 BMSP0 值定义的引导 (禁用 BMSP1 和 BMSP2)
	0xFF	有效 GPIO	0xFF	由 BMSP1 值定义的引导 (禁用 BMSP0 和 BMSP2)
	0xFF	0xFF	有效 GPIO	由 BMSP2 值定义的引导 (禁用 BMSP0 和 BMSP1)

BOOTPIN_CONFIG KEY	BMSP0	BMSP1	BMSP2	实现启动模式
	有效 GPIO	有效 GPIO	0xFF	由 BMSP0 和 BMSP1 的值定义的引导（禁用 BMSP2）
	有效 GPIO	0xFF	有效 GPIO	由 BMSP0 和 BMSP2 的值定义的引导（禁用 BMSP1）
	0xFF	有效 GPIO	有效 GPIO	由 BMSP1 和 BMSP2 的值定义的引导（禁用 BMSP0）
	有效 GPIO	有效 GPIO	有效 GPIO	由 BMSP0、BMPS1 和 BMSP2 的值定义的引导

注意

在解码引导模式时，BMSP0 是启动表索引值的最低有效位，BMSP2 是最高有效位。建议禁用 BMSP时,从禁用 BMSP2 开始。例如，在只使用 BMSP2 的情况中(BMSP1 和 BMSP0 被禁用)，只有引导表索引0 和 4 是可选择的。在只使用 BMSP0 的情况中，可选择的引导表索引为 0 和 1。

6.8.1.1 配置启动模式表选项

本节解释如何为设备配置启动定义表，BOOTDEF 和相关的启动选项。64 位存储单元位于 Z1-OTP-BOOTDEF-LOW 和 Z1-OTP-BOOTDEF-HIGH 位置的用户可配置的 DCSM OTP 中。当调试时，EMU-BOOTDEF-LOW 和 EMU-BOOTDEF-HIGH 是 Z1-OTP-BOOTDEF-LOW 和 Z1-OTP-BOOTDEF-HIGH 的仿真等效位，可以通过编程来调试不同的启动模式选项，而无需写入 OTP。引导定义表的定制化范围取决于使用了多少引导模式选择引脚(BMSP)。例如:0 BMSPs = 1 条表项，1 BMSP = 2 条表项，2 BMSPs =4 条表项，3 BMSPs = 8 条表项。有关如何设置 BOOTPIN_CONFIG 和 BOOTDEF 值的示例，请参阅QX320F28004x 实时微控制器技术参考手册。

注意

当配置 Z2-OTP-BOOTPIN-CONFIG 时，位置 Z2-OTP-BOOTDEF-LOW 和 Z2-OTP-BOOTDEF-HIGH 将被使用，而不是 Z1- OTP-BOOTDEF-LOW 和 Z1- otp - bootdef - high。

表 6- 14. BOOTDEF 位域

BOOTDEF 名称	字节位置	名称	说明
BOOT_DEF0	7 -0	BOOT_DEF0 模式和选项	设置引导模式和引导模式选项。这可能包括更改特定 引导外设的 GPIO 或指定不同的闪存入口 点。任何不 支持的引导模式都会导致器件复位。
BOOTDEF 名称	**字节位置**	**名称**	**说明**
			有关有效的 BOOTDEF 值，请参阅 *GPIO分配*。
BOOT_DEF1	15-8	BOOT_DEF1 模式和选项	请参阅 BOOT_DEF0 说明。
BOOT_DEF2	23-16	BOOT_DEF2 模式和选项	
BOOT_DEF3	31-24	BOOT_DEF3 模式和选项	
BOOT_DEF4	39 -32	BOOT_DEF4 模式和选项	
BOOT_DEF5	47 -40	BOOT_DEF5 模式和选项	
BOOT_DEF6	55 -48	BOOT_DEF6 模式和选项	
BOOT_DEF7	63 -56	BOOT_DEF7 模式和选项	

6.9 双码安全模块

双码安全模块(DCSM)防止访问片上安全存储器。术语“安全 ”意味着对安全内存和资源的访问被阻止。“不安全 ”一词指允许进入 ;例如，通过诸如 IDE 调试工具。

代码安全机制提供了两个区域的保护，区域 1 (Z1)和区域 2 (Z2)。两个区域的实施安全检查是相同的。每个分区都有自己的专用安全资源(OTP 内存和安全 ROM)和已分配的安全资源(LSx RAM 和闪存扇区)。

每个区域由各自的 128 位密码(CSM 密码)保证安全。每个区域的密码根据特定于区域的链接指针存储在 OTP 内存位置中。可以通过更改链接指针值来在 OTP 中编程一组不同的安全设置(包括密码)。

代码安全模块免责声明

本设备中包含的代码安全模块(CSM)旨在对存储在相关存储器中的数据进行密码保护，并由 QX 根据其标准条款和条件进行担保，以符合 QX 发布的适用于本设备的保修期规范。然而，QX 不保证 或表示 CSM 不能被破坏，也不保证存储在相关内存中的数据不能通过其他方式访问。此外，除上述 规定外，QX 对 CSM 或本设备的操作不作任何保证或陈述，包括对适销性或适合特定目的的任何默示保证。

在任何情况下，无论因您使用CSM 或本设备而以任何方式引起的任何后果性、特殊性、间接性、 偶然性或惩罚性损害，无论是否已被告知此类损害的可能性，QX 均不承担责任。排除在外的损害赔偿包括但不限于数据丢失、商誉损失、使用损失或业务中断或其他经济损失。

6.10 看门狗

看门狗计数器的软件重置间隔有一个可选的下限时间。这个窗口倒计时默认是禁用的。

看门狗产生复位或中断。它的时钟可以来自内部振荡器与可选择的分频器。看门狗模块各功能模块如图 6-4 所示。

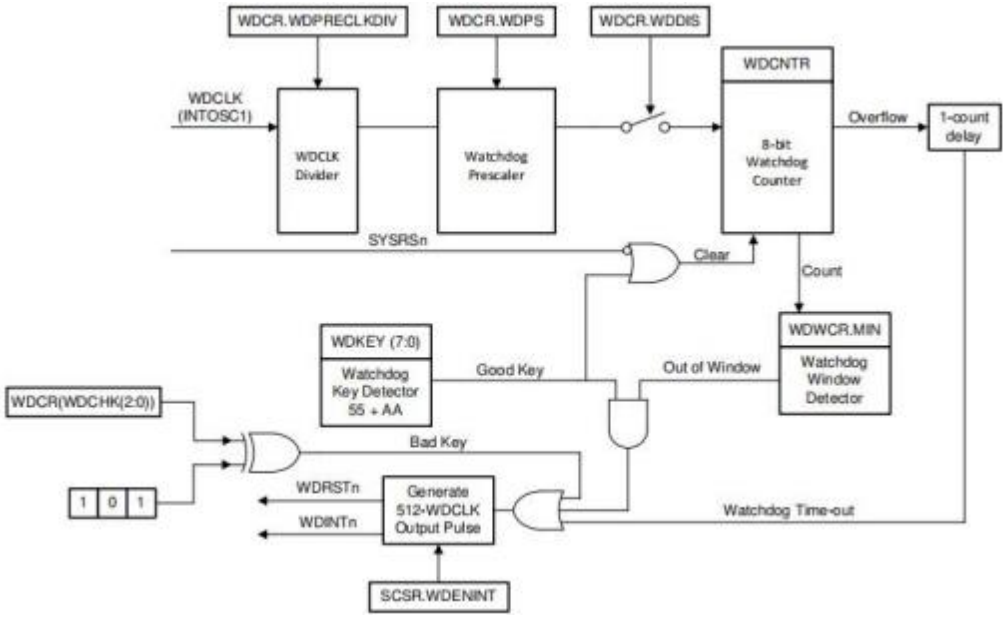


图 6-4. 看门狗

6.11 C28x 计时器

CPU 定时器 0、1、2 都是相同的 32 位定时器，具有可预置的周期和预缩放 16 位时钟。计时器有一个 32 位倒计时寄存器，当计数器达到零时产生中断。计数器以CPU 时钟速度除以预置值的值递减。当计数器达到零时，它会自动用一个 32 位的周期值重新加载。

CPU-Timer 0 用于一般用途，并且已连接到 PIE 块。CPU- timer 1 也是通用的，并且连接到 CPU 的 INT13。CPU-Timer 2 为 QX-RTOS 预留，并且连接 CPU 的 INT14。如果 QX-RTOS 不被使用，CPU-Timer2 可用于一般用途。

CPU-Timer 2 可以通过以下任何一个来计时：

- SYSCLK (默认)
- 内部晶振振荡器1 (INTOSC1)
- 内部晶振振荡器 2 (INTOSC2)
- X1 (XTAL)

6.12 双时钟比较器 (DCC)

双时钟比较器模块用于基于第二个时钟评估和监控时钟输入，第二个时钟可以是更准确可靠的版本。此仪表用于检测时钟源或时钟结构中的故障，从而提高系统的安全性指标。

6.12.1 特点

DCC 有以下特点 ：

- 允许应用程序在两个时钟信号的频率之间保持固定的比例。
- 支持根据参考时钟周期的数量定义可编程公差窗口。
- 支持连续监控，不需要应用程序干预。
- 支持点测的单序列模式。
- 允许为每个计数器选择一个时钟源，从而产生不同的特定的情况。

6.12.2 DCCx(DCC0 and DCC1) 时钟源输入映射

表 6- 15. DCCx 时钟源 0

DCCxCLKSRC0[3:0]	CLOCK 名称
0x0	XTAL
0x1	INTOSC1
0x2	INTOSC2
others	保留

表 6- 16. DCCx 时钟源 1

DCCxCLKSRC1[3:0]	CLOCK 名称
0x0	PLLRAWCLK
others	保留

7 开发支持

7.1 集成开发环境QX-IDE

用户可以在乾芯科技的官方网站(http://www.starrystonetech.com/downfile)上下载最新版本的IDE，QX-IDE_setup_v_X.X.X.exe,包含乾芯编译器、JRE环境、Jtag驱动等。



图1 QX-IDE下载界面

解压之后，将会得到下图所示的文件，包括 eclipse、开发工具 qxtools以及 IDE 用户手册等文件。

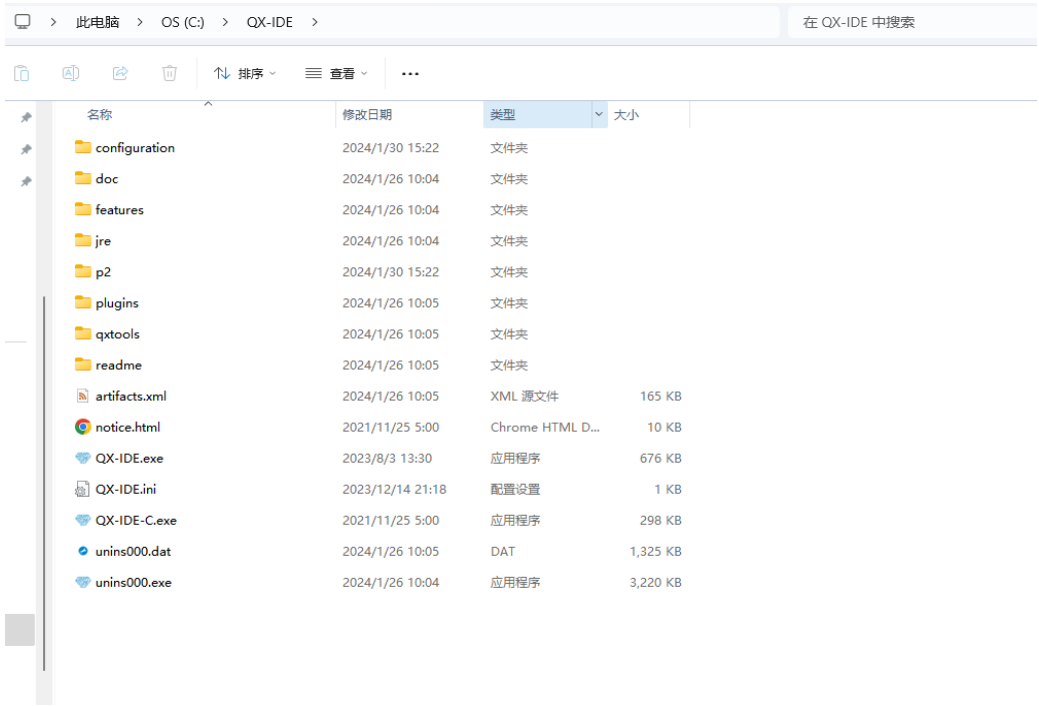
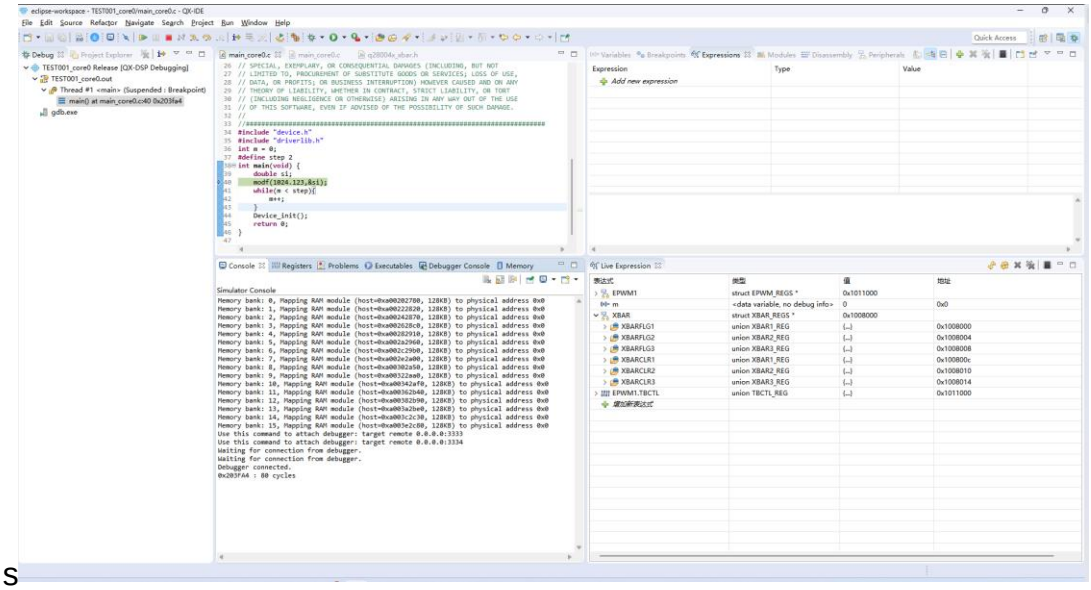


图2 QX-IDE安装目录文件



S

图3 QX-IDE使用界面

具体的使用手册，请参考doc目录下的《QX-IDE用户手册》

7.2 仿真器

7.2.1 简介

qx320f 3槽DSP的仿真环境如图 所示，包括

（1）宿主机：执行调试命令、显示目标机状态

（2）目标机：被调试设备

（3）接口卡：FT2232HL，负责USB/JTAG接口及协议转换

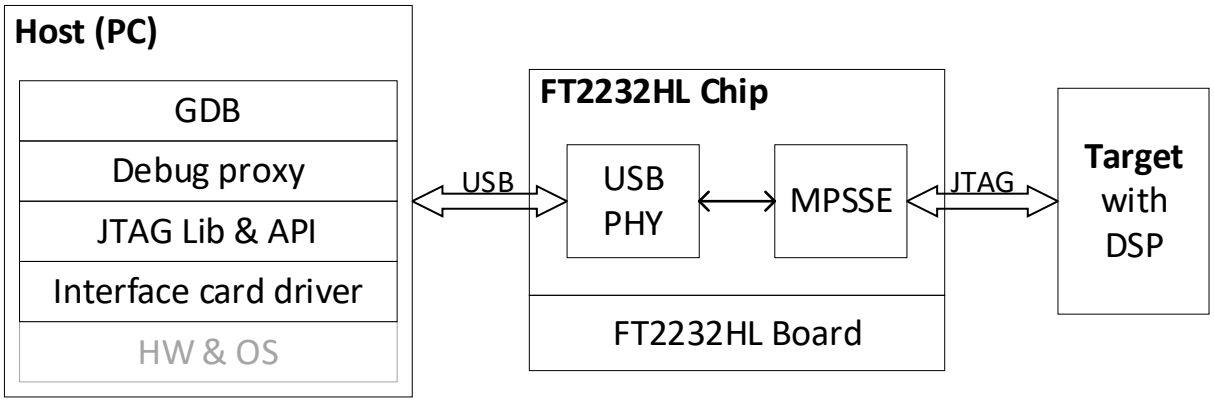


图 4：基本结构

7.2.2 结构

7.2.2.1 宿主机

与DSP仿真相关的宿主机软件结构如图 所示。

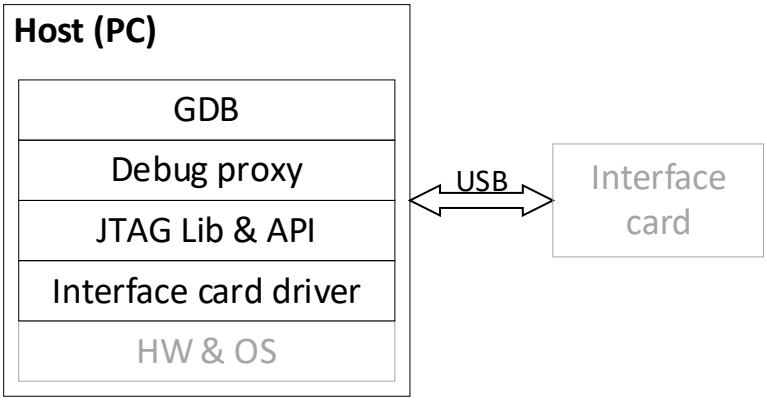


图 5：宿主机软件结构

宿主机通过USB接口和接口卡连接，并包含以下部分

1） 接口卡驱动：使宿主机能够通过接口卡收发数据

2） JTAG Lib和API：接口卡组件，针对接口卡在USB/JTAG工作模式的函数库及应用程序接口

3） GDB：基于GNU Debugger为DSP定制的调试器

4） 调试代理：通过调用JTAG API进行JTAG接口配置，以及GDB和JTAG API之间的消息转发。

GDB发出的调试命令被调试代理转换成对应的JTAG API调用，接口卡返回的消息被调试代理转换为对应的GDB packet发送给GDB

7.2.2.2 目标机

目标机通过JTAG接口和接口卡连接。

7.2.2.3 接口卡

宿主机和目标机的连接、通讯需借助接口卡以进行USB和JTAG接口及协议的相互转换。接口卡的逻辑结构如图 所示。

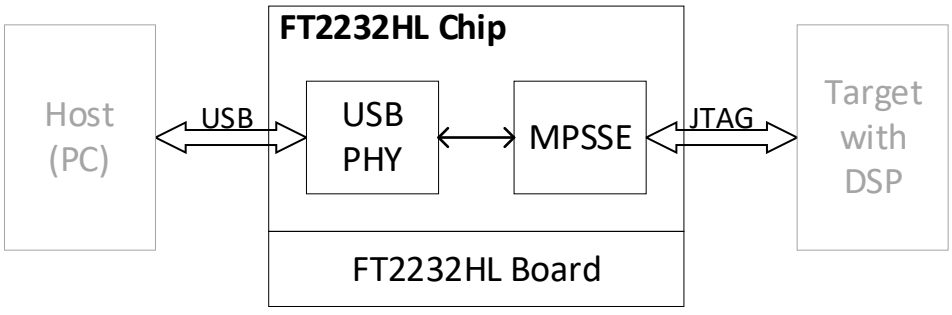


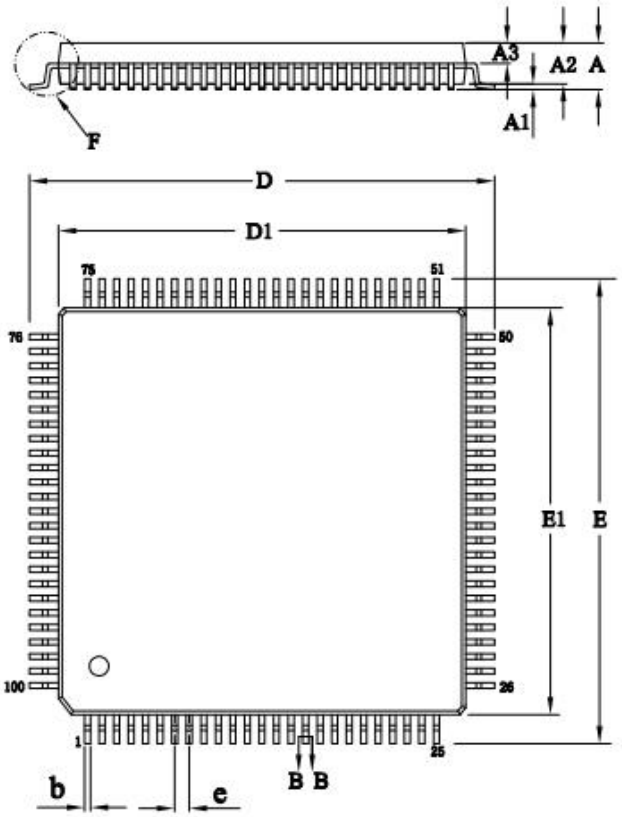
图 6：接口卡逻辑结构

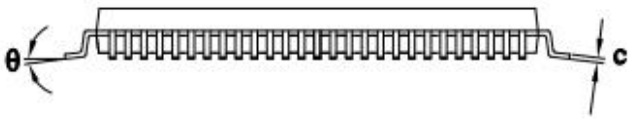
接口卡采用FTDI公司的FT2232HL芯片。该芯片一边固定为USB 2.0的物理层和宿主机连接；另一边是可配置的UART/FIFO接口。

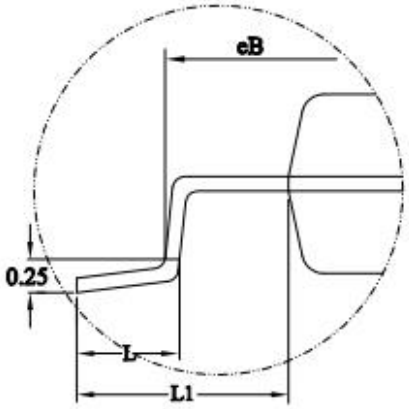
在当前的DSP仿真场景，该接口配置成MPSSE（Multi-Protocol Synchronous Serial Engine），作为JTAG接口和目标机连接。

8 封装外形尺寸

8.1 LQFP100PIN



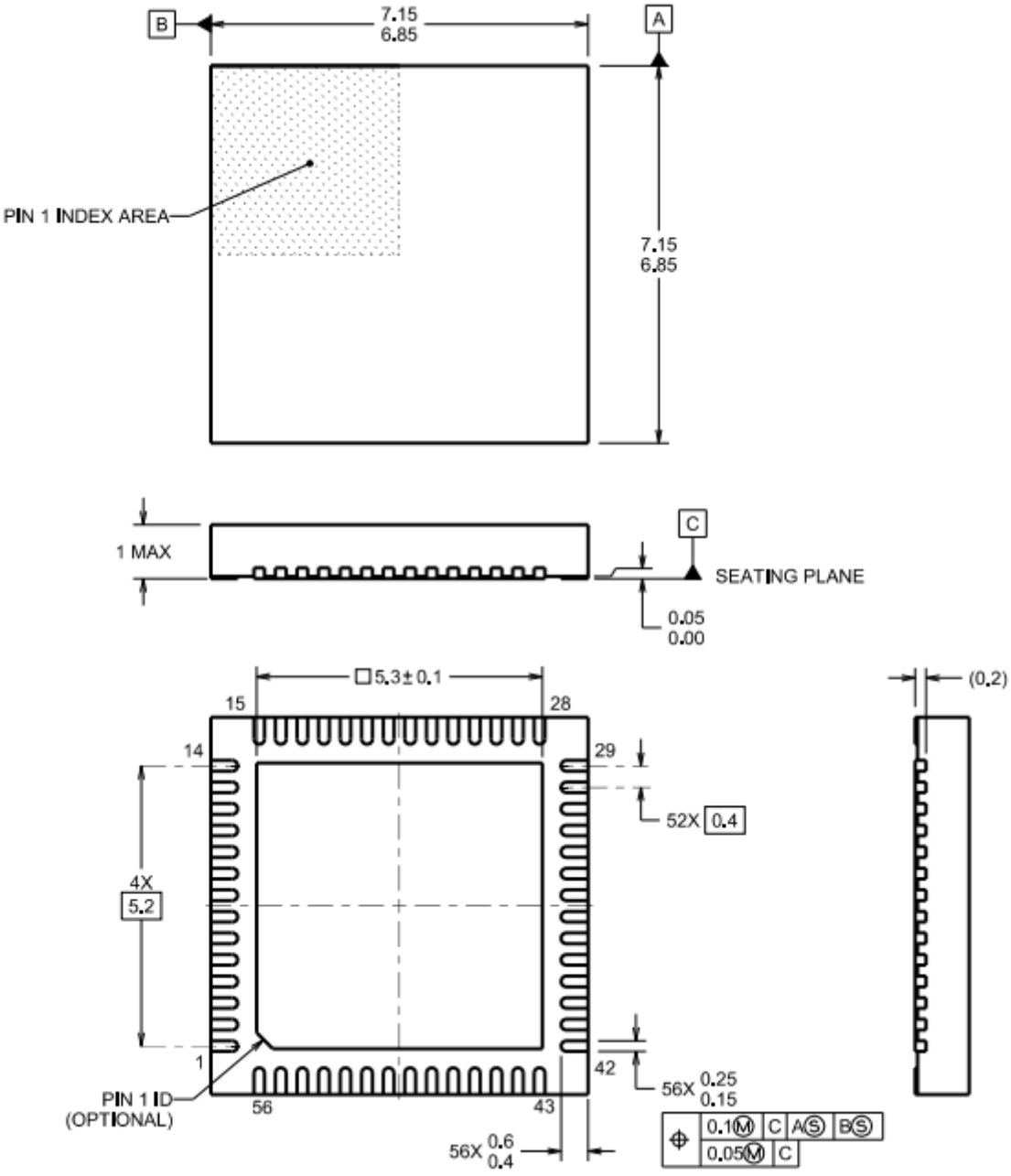




DETAIL: F

SYMBOL	MILLIMETER		
	MIN	NOM	MAX
A	—	—	1.60
A1	0.05	—	0.15
A2	1.35	1.40	1.45
A3	0.59	0.64	0.69
b	0.18	—	0.26
b1	0.17	0.20	0.23
c	0.13	—	0.17
c1	0.12	0.13	0.14
D	15.80	16.00	16.20
D1	13.90	14.00	14.10
E	15.80	16.00	16.20
E1	13.90	14.00	14.10
eB	15.05	—	15.35
e	0.50BSC		
L	0.45	—	0.75
L1	1.00REF		
θ	0	—	7°

8.2 VQFN56 PIN



9 订货信息

9.1 封装信息

9.2 托盘信息

9.3 包装盒尺寸

9.4 封装概览

关于乾芯科技